

Semiconductor laser device and method for manufacturing the same

Patent Number: US2002163949

Publication date: 2002-11-07

Inventor(s): MATSUMOTO MITSUHIRO (JP); KAWATO SHINICHI (JP); KONUSHI FUMIHIRO (JP)

Applicant(s):

Requested Patent: JP2002094179

Application Number: US20020129549 20020508

Priority Number(s): JP20000277449 20000913

IPC Classification: H01S5/00

EC Classification:

Equivalents: WO0223685

Abstract

A semiconductor laser element includes, on a substrate, at least a first conductive type first clad layer, an active layer, a second conductive type second clad layer, a current block layer having a stripe-shaped deficient portion extending in a direction of a resonator, a second conductive type third clad layer buried in the stripe-shaped deficient portion of the current block layer and a second conductive type protection layer provided on the third clad layer. The active layer includes at least a window region adjacent to its one end surface and an internal region having a quantum well structure, and a portion opposite to the internal region is irradiated with an ionized atom from a surface of a layer arranged on the second conductive type second clad layer side and thereafter subjected to heat treatment to form the window region. A peak wavelength λ_{bdw} of photoluminescence from the window region of the active layer has a relation of: $\lambda_{bdw} \leq \lambda_{bd1} - 5$ nm with respect to a peak wavelength λ_{bd1} of photoluminescence from the internal region of the active layer, and a half-width of the photoluminescence from the window region is narrower than a half-width of the photoluminescence from the internal region

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-94179

(P2002-94179A)

(43)公開日 平成14年3月29日 (2002.3.29)

(51)Int.Cl.⁷

H01S 5/16
5/223
5/343

識別記号

F I

H01S 5/16
5/223
5/343

テマエード(参考)
5F073

(2)

【特許請求の範囲】

【請求項1】 少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、共振器方向に延びるストライプ状の欠如部を有する電流阻止層、該電流阻止層のストライプ状欠如部に埋設された第2導電型の第3クラッド層、該第3クラッド層の上に設けられた第2導電型の保護層、とを有する半導体レーザ素子において、

該活性層は、少なくとも一方の端面に隣接した窓領域と、量子井戸構造を有する内部領域、とからなり、該第2導電型の第2クラッド層側に配設された層の表面より該内部領域に対向する部分にイオン化された原子を照射した後、熱処理を施したことを特徴とする半導体レーザ素子。

【請求項2】 少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、共振器方向に延びるストライプ状の欠如部を有する電流阻止層、該電流阻止層のストライプ状欠如部に埋設された第2導電型の第3クラッド層、該第3クラッド層の上に設けられた第2導電型の保護層、とを有する半導体レーザ素子において、

該活性層は、少なくとも一方の端面に隣接した窓領域と、量子井戸構造を有する内部領域、とからなり、該活性層の窓領域からのフォトルミネッセンスのピーク波長 λ_w は、該活性層内部領域からのフォトルミネッセンスのピーク波長 λ_i に対し、

$$\lambda_w \leq \lambda_i - 5 \text{ nm}$$

なる関係にあり、

該窓領域からのフォトルミネッセンスの半値幅は該内部領域からのフォトルミネッセンスの半値幅より狭いことを特徴とする半導体レーザ素子。

【請求項3】 請求項1または請求項2記載の半導体レーザ素子において、

前記窓領域に対向する部分の前記第2導電型の保護層の層厚が、前記内部領域に対向する部分の前記第2導電型の保護層の層厚よりも厚いことを特徴とする半導体レーザ素子。

【請求項4】 請求項1または請求項2記載の半導体レーザ素子において、
前記窓領域の共振器方向の長さ L_w が $10 \mu\text{m}$ 以上であることを特徴とする半導体レーザ素子。

【請求項5】 請求項1または請求項2記載の半導体レーザ素子において、
前記量子井戸構造を構成する量子井戸層の厚さの合計の値が 40 nm 以下であることを特徴とする半導体レーザ素子。

【請求項6】 請求項1または請求項2記載の半導体レーザ素子において、

前記第2導電型の保護層の上の前記窓領域に対向する部分に第1導電型の電流注入防止層を設けたことを特徴と

2

する半導体レーザ素子。

【請求項7】 請求項6記載の半導体レーザ素子において、

前記第1導電型の電流注入防止層の共振器方向の長さ L_p は L_w に対し、

$$L_w \leq L_p$$

なる関係にあることを特徴とする半導体レーザ素子。

【請求項8】 請求項1または請求項2記載の半導体レーザ素子において、

10 前記ストライプ状欠如部の前記窓領域に対向する部分の幅が、前記内部領域に対向する部分の幅よりも広いことを特徴とする半導体レーザ素子。

【請求項9】 少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層を積層するDHウェハー作成工程と、該DHウェハーの第2クラッド層側に配設された層の表面の一部に第1の誘電体膜を形成する工程と、該ウェハーの前記第1の誘電体膜を形成した側にイオン化された原子を照射する工程と、該イオン化した原子を照射されたDHウェハーを熱処理する工程、とを含み前記DHウェハーを熱処理する前に前記DHウェハーの第2クラッド層側に配設された層の表面をエッティングすることを特徴とする半導体レーザ素子の製造方法。

【請求項10】 請求項9記載の半導体レーザ素子の製造方法において、

前記保護層の表面をエッティングすると同時に前記ウェハー一面の前記第1の誘電体膜を形成した側にイオン化された原子を照射することを特徴とする半導体レーザ素子の製造方法。

30 【請求項11】 請求項9または10のいずれかに記載の半導体レーザ素子の製造方法において、

前記ウェハー一面の第1の前記誘電体膜を形成した側にイオン化した原子を照射した後、前記ウェハー一面全体を覆うように第2の誘電体膜を形成することを特徴とする半導体レーザ素子の製造方法。

【請求項12】 請求項11記載の半導体レーザ素子の製造方法において、

前記第2の誘電体膜を形成した後に前記DHウェハーを熱処理することを特徴とする半導体レーザ素子の製造方法。

40 【請求項13】 請求項11または請求項12記載の半導体レーザ素子の製造方法において、

前記第2の誘電体膜を形成すると同時に前記ウェハー一面の前記第1の誘電体膜を形成した側にイオン化された原子を照射することを特徴とする半導体レーザ素子の製造方法。

【請求項14】 請求項9乃至13のいずれかに記載の半導体レーザ素子の製造方法において、

前記イオン化した原子はアルゴン、酸素、窒素からなる

50 群より選ばれた1つあるいは複数の原子であることを特

(3)

3

徴とする半導体レーザ素子の製造方法。

【請求項15】請求項9乃至14のいずれかに記載の半導体レーザ素子の製造方法において、

前記イオン化した原子を照射することにより、ウェハーの前記第1の誘電体膜が形成されていない部分に、前記第2の誘電体膜を形成することを特徴とする半導体レーザ素子の製造方法。

【請求項16】請求項9乃至15のいずれかに記載の半導体レーザ素子の製造方法において、

前記イオン化した原子のイオンエネルギーを3000eV以下とし、より好ましくは500eV以上、1500eV以下としたことを特徴とする半導体レーザ素子の製造方法。

【請求項17】請求項11記載の半導体レーザ素子の製造方法において、

前記第2の誘電体膜の厚さは0.5μm以下であることを特徴とする半導体レーザ素子の製造方法。

【請求項18】請求項11記載の半導体レーザ素子の製造方法において、

前記第1の誘電体膜と前記第2の誘電体膜とは熱膨張係数がほぼ等しい材料であることを特徴とする半導体レーザ素子の製造方法。

【請求項19】請求項11記載の半導体レーザ素子の製造方法において、

前記第1の誘電体膜の厚さをd1、前記第2の誘電体膜の厚さをd2とする時、

$d_1 \geq d_2$

なる関係にあることを特徴とする半導体レーザ素子の製造方法。

【請求項20】請求項9乃至16のいずれかに記載の半導体レーザ素子の製造方法において、

前記熱処理は前記DHウェハーの保持温度が800°C以上、保持温度までの温度上昇時間が100秒以下で行い、より好ましくは前記DHウェハーの保持温度が900°C以上、保持温度までの温度上昇時間が60秒以下で行うことを特徴とする半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光ディスクシステム装置用などに用いられる半導体レーザ素子及びその製造方法に関し、特に高出力窓構造半導体レーザ素子及びその製造方法に関する。

【0002】

【従来の技術】近年、光ディスク装置用光源として、各種の半導体レーザが広汎に利用されている。とりわけ、高出力半導体レーザは、MDドライブ、MOドライブ、CD-R/RWドライブ、書換型DVDドライブ等のディスクへの書き込み用光源として用いられており、さらなる高出力化が強く求められている。

【0003】半導体レーザの高出力化を阻む要因の一つ

(3)

4

は、共振器端面近傍の活性層領域での光出力密度の増加に伴い発生する光学損傷 (COD : Catastrophic Optical Damage) である。

【0004】このCODの発生原因是、活性層の共振器端面近傍の活性層領域がレーザ光に対する吸収領域になっているためである。共振器端面では、表面準位または界面準位といわれる非発光再結合中心が多く存在する。活性層の共振器端面近傍に注入されたキャリアはこの非発光再結合によって失われるので、活性層の共振器端面近傍の注入キャリア密度は活性層の内部領域に比べて少ない。その結果、活性層の内部領域の高い注入キャリア密度によって作られるレーザ光の波長に対して、活性層の共振器端面近傍領域は吸収領域になる。

【0005】光出力密度が高くなると吸収領域での局所的発熱が大きくなり、温度が上昇し、バンドギャップが縮小する。その結果、更に吸収係数が大きくなり、温度が上昇する、という正帰還がかかり、活性層の共振器端面近傍に形成された吸収領域の温度はついに融点にまで達し、CODが発生する。

【0006】このCODレベルの向上のために、半導体レーザの高出力化の一つの方法として、特開平9-23037号公報に、多重量子井戸構造活性層の無秩序化による窓構造を利用する手法が開示されている。この半導体レーザ素子の構造図を図17に、製造方法の工程図を図18に示し、説明する。

【0007】図17(a)は共振器端面を含む斜視図、図17(b)は図17(a)のIa-Ia線における導波路の断面図、図17(c)は図17(a)のIb-Ib線における層厚方向の断面図である。

【0008】図17において、1001はGaAs基板、1002はn型AlGaAs下クラッド層、1003は量子井戸活性層、1004aはp型AlGaAs第1上クラッド層、1004bはp型AlGaAs第2上クラッド層、1005はp型GaAsコンタクト層、1006(斜線部)は空孔拡散領域、1007(斜線部)はプロトン注入領域、1008はn側電極、1009はp側電極、1020は共振器端面、1003aは量子井戸活性層1003のレーザ発振に寄与する領域(以下、内部領域という)、1003bは量子井戸活性層1003の共振器端面1020近傍に形成された窓構造領域である。

【0009】図18において、n型GaAs基板1001上に、n型AlGaAs下クラッド層1002、量子井戸活性層1003、p型AlGaAs第1上クラッド層1004aを順次エピタキシャル成長する(図18(a))。次に、p型AlGaAs第1上クラッド層1004a表面上に、SiO₂膜1010を形成し、共振器端面に達しない長さで、共振器方向に伸びるストライプ状の開口部1010aを形成する(図18(b))。次に、このウェハーをAs雰囲気下、800°C以上の温

(4)

5

度で熱処理（即ち、熱アニール）すると、 SiO_2 膜1010が接するp型AlGaAs第1上クラッド層1004a表面からGa原子を吸い上げ、p型AlGaAs第1上クラッド層1004a中にGa空孔が生成し、この空孔が結晶内部の量子井戸活性層1003に達するまで拡散し、量子井戸構造を無秩序化させる。量子井戸構造が無秩序化した活性層の窓領域は活性層の実効的な禁制帯幅が広がるため、内部領域で発光した発振レーザ光に対して、透明な窓として機能する。

【0010】最後に、 SiO_2 膜1010を除去し、p型AlGaAs第1上クラッド層1004a上にp型AlGaAs第2上クラッド層1004b、p型GaAsコンタクト層1005を順次エピタキシャル成長させる。（図18(c)）。次にp型GaAsコンタクト層1005上にレジスト膜を形成し、フォトリソグラフィー技術によって前記 SiO_2 膜1010のストライプ状の開口部1010aと同じ領域にストライプ状のレジスト1011を形成する。次にこのストライプ状のレジスト1011をマスクとしてp型GaAsコンタクト層1005の表面側からプロトン注入を行い、電流ブロック層（電流阻止層）となる高抵抗領域1007を形成する。（図18(d)）。最後にGaAs基板1001側にn側電極1008、p型GaAsコンタクト層1005上にp側電極1009を形成し、ウェハーをへき開して図17の半導体レーザ素子を得る。

【0011】

【発明が解決しようとする課題】しかしながら、従来の窓構造半導体レーザ素子では、共振器端面近傍に形成された無秩序化領域において、レーザ発振波長に相当するバンドギャップよりも大きくなるように、p型AlGaAs第1上クラッド層1004a表面上に SiO_2 膜1010を形成し、前記 SiO_2 膜1010が接するp型AlGaAs第1上クラッド層1004aへのGa空孔の生成、及び、量子井戸活性層1003へのGa空孔の拡散を行っている。

【0012】前記Ga空孔の生成および拡散は、 SiO_2 膜1010で覆われている領域で発生しており、800°C以上での熱処理を行うと、 SiO_2 膜1010で覆われていない領域（共振器内部領域）の表面において、Ga原子の再蒸発によるGa空孔が少量ではあるが生成され、量子井戸活性層1003へGa空孔が拡散する。その結果、共振器内部領域での量子井戸活性層のバンドギャップの変動に伴う波長変動、及び量子井戸活性層の結晶性劣化による長期信頼性の低下を招く。

【0013】また、熱処理温度を低くするか、或いは、熱処理時間（即ち、アニール時間）を短くすれば、共振器内部領域での量子井戸活性層1003へのGa空孔の拡散を抑制できるが、 SiO_2 膜1010で覆われている領域での空孔の生成、及び、 SiO_2 膜1010で覆われている領域下の活性層の共振器端面近傍領域での量

6

子井戸活性層1003への空孔の拡散が不十分となり、活性層の共振器端面近傍領域である活性層の窓領域においてレーザ光を吸収してしまう。その結果、共振器端面近傍の活性層領域でCODが発生しやすくなり、高出力駆動時の最大光出力の低下を引き起こし、十分な長期信頼性も得られない。

【0014】本発明は、上記の問題について検討した結果、窓構造プロセス中の共振器内部領域での活性層のバンドギャップ変動の抑制、即ち発振波長の変動を抑制し、且つ、高出力駆動で長期信頼性に優れた半導体レーザ素子及びその製造方法を提供することを目的とするものである。

【0015】

【課題を解決するための手段】上記課題を解決するため、本発明の半導体レーザ素子では、少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、共振器方向に延びるストライプ状の欠如部を有する電流阻止層、該電流阻止層のストライプ状欠如部に埋設された第2導電型の第3クラッド層、該第3クラッド層の上に設けられた第2導電型の保護層、とを有する半導体レーザ素子において、該活性層は、少なくとも一方の端面に隣接した窓領域と、量子井戸構造を有する内部領域、とからなり、該第2導電型の第2クラッド層側に配設された層の表面より該内部領域に対向する部分にイオン化された原子の照射を行った後、熱処理を施すことにより、該窓領域を形成してなる構成としている。

【0016】また、本発明の半導体レーザ素子では、少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、共振器方向に延びるストライプ状の欠如部を有する電流阻止層、該電流阻止層のストライプ状欠如部に埋設された第2導電型の第3クラッド層、該第3クラッド層の上に設けられた第2導電型の保護層、とを有する半導体レーザ素子において、該活性層は、少なくとも一方の端面に隣接した窓領域と、量子井戸構造を有する内部領域、とからなり、該窓領域からのフォトルミネッセンスのピーク波長 λ_w は、該内部領域からのフォトルミネッセンスのピーク波長 λ_i に対し、

40 $\lambda_w \leq \lambda_i - 5 \text{ nm}$

なる関係にあり、該窓領域からのフォトルミネッセンスの半値幅は該内部領域からのフォトルミネッセンスの半値幅より狭くなる構成としている。

【0017】また、本発明の半導体レーザ素子では、前記窓領域に対向する部分の前記第2導電型の保護層の層厚が、前記内部領域に対向する部分の前記第2導電型の保護層の層厚よりも厚い構成としている。

【0018】また、本発明の半導体レーザ素子では、前記窓領域の共振器方向の長さ L_w が $10 \mu\text{m}$ 以上である構成としている。

(5)

7

【0019】また、本発明の半導体レーザ素子では、前記量子井戸を構成する量子井戸層の厚さの合計の値が40nm以下である構成としている。

【0020】また、本発明の半導体レーザ素子では、前記第2導電型の保護層の上の窓領域に対向する部分に第1導電型の電流阻止層を設けた構成としている。

【0021】また、本発明の半導体レーザ素子では、前記第1導電型の電流阻止層の共振器方向の長さL_pはL_wに対し、

$$L_w \leq L_p$$

なる関係にある構成としている。

【0022】また、本発明の半導体レーザ素子では、前記ストライプ状欠如部の前記窓領域に対向する部分の幅が、前記内部領域に対向する部分の幅よりも広い構成としている。

【0023】また、本発明の半導体レーザ素子では、前記内部領域におけるII族元素の濃度の方が前記窓領域におけるII族元素の濃度より大きい構成としている。

【0024】また、本発明の半導体レーザ素子では、前記基板はGaAsであり、前記各層はGaAlAs系材料で構成されている。

【0025】さらに、本発明の半導体レーザ素子の製造方法では、少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層を積層するDHウェハー作成工程と、該DHウェハーの第2クラッド層側に配設された層の表面の一部に第1の誘電体膜を形成する工程と、該ウェハーの前記第1の誘電体膜を形成した側にイオン化された原子を照射する工程と、該イオン化した原子を照射されたDHウェハーを熱処理する工程、とを含む構成としている。

【0026】また、本発明の半導体レーザ素子の製造方法では、前記第2クラッド層の上部に第2導電型の保護層を形成する工程を含む構成としている。

【0027】また、本発明の半導体レーザ素子の製造方法では、前記DHウェハーを熱処理する前に前記保護層の表面をエッチングする構成としている。

【0028】また、本発明の半導体レーザ素子の製造方法では、前記保護層の表面をエッチングすると同時に前記ウェハーの前記第1の誘電体膜を形成した側にイオン化された原子を照射する構成としている。

【0029】また、本発明の半導体レーザ素子の製造方法では、前記ウェハーの前記第1の誘電体膜を形成した側にイオン化した原子を照射した後、前記ウェハー全体を覆うように第2の誘電体膜を形成する構成としている。

【0030】また、本発明の半導体レーザ素子の製造方法では、前記第2の誘電体膜を形成した後に前記DHウェハーを熱処理する構成としている。

【0031】また、本発明の半導体レーザ素子の製造方法では、前記第2の誘電体膜を形成すると同時に前記ウ

8

エハー面の前記第1の誘電体膜を形成した側にイオン化された原子を照射する構成としている。

【0032】また、本発明の半導体レーザ素子の製造方法では、前記イオン化した原子はアルゴン、酸素、窒素からなる群より選ばれた1つあるいは複数の原子である構成としている。

【0033】また、本発明の半導体レーザ素子の製造方法では、前記イオン化した原子を照射することにより、ウェハー面の前記第1の誘電体膜が形成されていない部分に、前記第2の誘電体膜を形成する構成としている。

【0034】また、本発明の半導体レーザ素子の製造方法では、前記イオン化した原子のイオンエネルギーを3000eV以下とし、より好ましくは500eV以上、1500eV以下とした構成としている。

【0035】また、本発明の半導体レーザ素子の製造方法では、前記イオン化した原子を照射する装置はイオン加速機能を有する装置である構成としている。

【0036】また、本発明の半導体レーザ素子の製造方法では、前記イオン化した原子を照射する装置はイオンガス、イオン注入装置、イオンアシスト蒸着装置よりなる群から選ばれた装置である構成としている。

【0037】また、本発明の半導体レーザ素子の製造方法では、前記イオン化した原子を照射する装置はプラズマを発生させる機能を有する装置である構成としている。

【0038】また、本発明の半導体レーザ素子の製造方法では、前記イオン化した原子を照射する装置はプラズマCVD装置、スペッタ装置、プラズマアッシング装置よりなる群から選ばれた装置である構成としている。

【0039】また、本発明の半導体レーザ素子の製造方法では、前記第1の誘電体膜はSi原子を含む、Si_xO_y、Si_xN_y、Si_xO_yN_z（但し、x、yは正の実数）よりなる群から選ばれた材料の構成としている。

【0040】また、本発明の半導体レーザ素子の製造方法では、前記第1の誘電体膜の厚さは1μm以下である構成としている。

【0041】また、本発明の半導体レーザ素子の製造方法では、前記第2の誘電体膜の厚さは0.5μm以下である構成としている。

【0042】また、本発明の半導体レーザ素子の製造方法では、前記第1の誘電体膜と前記第2の誘電体膜とは熱膨張係数がほぼ等しい材料である構成としている。

【0043】また、本発明の半導体レーザ素子の製造方法では、前記第1の誘電体膜の厚さをd₁、前記第2の誘電体膜の厚さをd₂とする時、d₁≥d₂なる関係にある構成としている。

【0044】また、本発明の半導体レーザ素子の製造方法では、前記熱処理は前記DHウェハーの保持温度が800℃以上、保持温度までの温度上昇時間が100秒以下で行い、より好ましくは前記DHウェハーの保持温度

(6)

9

が900°C以上、保持温度までの温度上昇時間が60秒以下で行う構成としている。

【0045】

【発明の実施の形態】図1～図16は本発明の一実施の形態に関する半導体レーザ素子及びその製造方法に関する図である。

【0046】【第1の実施の形態】本発明の第1の実施の形態に関する半導体レーザ素子の構造を図1に示す。図1において、図1(a)は光出射端面を含む斜視図、図1(b)は図1(a)のIa-Ia線における導波路の断面図、図1(c)は図1(a)のIb-Ib線における層厚方向の断面図である。

【0047】また、101は第1導電型のn型GaAs基板、102は第1導電型のn型Al_x1G_a1-x₁As(x₁は0より大、1以下)第1クラッド層、103はバリア層及びウェル層が交互に積層された多重量子井戸構造を光ガイド層で挟んでなる多重量子井戸活性層(MQW活性層)、104は第2導電型のp型Al_x1G_a1-x₁As第2クラッド層、105はp型GaAsエッチングストップ層、106は共振器方向にリッジストライプからなる第2導電型のp型Al_x1G_a1-x₁As第3クラッド層、107は第2導電型のp型GaAs保護層、108はリッジストライプからなるp型Al_x1G_a1-x₁As第3クラッド層106の側面を埋め込む様に形成されたn型Al_y1G_a1-y₁As(y₁は0以上、1以下)電流ブロック層(電流阻止層)、109はp型GaAs平坦化層、110はp型GaAsコンタクト層、111はp側電極、112はn側電極である。

【0048】また、多重量子井戸活性層103は、窓領域113と内部領域(活性領域ともいう)114とから成り、窓領域113はバンドギャップが内部領域114のバンドギャップよりも大きい領域であり、内部領域114はレーザ発振を実現するための利得を有する領域である。115はp型GaAs保護層107上に形成されたn型Al_y1G_a1-y₁As電流注入防止層、116はp型Al_x1G_a1-x₁As第3クラッド層106とp型GaAs保護層107からなるリッジストライプである。また、以下の製造方法で説明するように、この窓領域113は、第2導電型の保護層107側表面よりイオン化された原子の照射を行った後、短時間で昇温し、加熱する熱処理(熱アニール)、即ち、ラピッドサーマルアニーリング(以下、RTAという)を施すことにより形成される。

【0049】次に、製造方法について図2に基づいて説明する。第1導電型のn型GaAs基板101上に、1回目の有機金属気相成長(MOCVD)法にて第1導電型のn型Al_x1G_a1-x₁As第1クラッド層102、ノンドープMQW活性層103、第2導電型のp型Al_x1G_a1-x₁As第2クラッド層104、p型GaAsエッチングストップ層105、第2導電型のp型Al_x1G_a1-x₁As

10

1-x₁As第3クラッド層106、第2導電型のp型GaAs保護層107、を順次エピタキシャル成長させて、DHウェハーを得る(図2(a))。

【0050】共振器端面近傍領域のp型GaAs保護層107の表面に、プラズマCVD法とフォトリソグラフィー法によって、端面と平行な方向に幅40μmのストライプ状の誘電体膜であるSiO₂膜121(z₁は1近傍の実数、厚さ0.5μm)を形成する。ここで、プラズマCVD法、スパッタ法等蒸着により形成される誘電体膜はアモルファス状態に近いので、膜の組成xは1に近い値であるが、形成するたびに異なる値となり、場所によっても一定しないのでSiO_xと表記する。半導体ウェハー上に形成されるストライプ状の誘電体膜121のピッチは共振器長の2倍の1600μmとした(図2(b))。

【0051】次に、p型GaAs保護層107側のウェハー表面に、イオン化された原子122の照射(イオン照射)を行う。本発明の第1の実施の形態に関する半導体レーザ素子の製造方法においては、イオン照射にはイオンガンを用い、イオン化された原子にアルゴン(Ar)イオンを用い、イオン照射エネルギーは1000eVで行った(図2(c))。

【0052】次に、RTAによって、SiO₂膜121直下の共振器端面近傍領域のMQW活性層のバンドギャップを共振器内部領域のMQW活性層のバンドギャップよりも大きくする。この時の熱処理条件は、室温から温度950°Cまでを30秒で昇温させ、保持時間60秒、その後冷却を行った。このように、高速で昇温するため、ウェハーの保護膜107側表面をランプで照射して加熱するところのランプ加熱法を用いた。その結果、多重量子井戸活性層(MQW活性層)103は、窓領域113と内部領域114とが共振器方向に形成される(図2(d))。

【0053】p型GaAs保護層107の表面に形成した誘電体膜121を除去し、通常のフォトリソグラフィー技術を用いてp型GaAs保護層107上に[011]方向に伸びたストライプ状のレジストマスク123を形成し、通常のエッチング技術を用いて、p型エッチングストップ層105に到達するようにp型GaAs保護層107とp型Al_x1G_a1-x₁As第3クラッド層106を[011]方向に伸びた2.5μm幅のストライプ状のリッジ116に加工する(図2(e))。

【0054】次に、p型GaAs保護層107上に形成されたストライプ状のレジストマスク123を除去し、2回目のMOCVD法によって、p型GaAs保護層107とp型Al_x1G_a1-x₁As第3クラッド層106からなるリッジ116の側面をn型Al_y1G_a1-y₁As電流阻止層108で埋め込み、次にp型GaAs平坦化層109で埋め込む(図2(f))。

【0055】通常のフォトリソグラフィー技術を用い

(7)

11

て、n型Al_yGa_{1-y}As電流ブロック層108上に形成されたp型GaAs平坦化層109上、及び、リッジ116上に形成されたp型GaAs平坦化層109上の共振器端面から40μmの範囲にレジストマスク124を形成し、通常のエッチング技術を用いて、レジストマスク124開口部のn型Al_yGa_{1-y}As電流ブロック層108とp型GaAs平坦化層109を選択的に除去する(図2(g))。

【0056】p型GaAs平坦化層109上に形成されたレジストマスク124を除去し、3回目のMOCVD法でp型GaAsコンタクト層110を形成する。共振器端面近傍にはリッジストライプ116の上方にn型Al_yGa_{1-y}As電流阻止層108と同時に成長されたn型Al_yGa_{1-y}As電流注入防止層115が形成される(図2(h))。

【0057】次に、上面にはp電極111、下面にはn電極112を形成する。

【0058】最後に、40μm幅の非注入領域、即ち窓領域のほぼ中央にスクライブラインを入れて、半導体レーザ素子が形成されたウェハーを共振器の長さのレーザバーに分割する。窓領域を有する共振器端面の反射率が12%になるようにAl₁O_s膜(sは3/2に近い正の実数。以下同じ。)を電子ビーム蒸着法等でコートを行い、反対側の共振器端面には反射率が95%になるようにAl₁O_s膜とアモルファスSi膜を交互に積層した多層膜をコートする。ここでも、電子ビーム蒸着法により形成されるAl₁O_s膜、アモルファスSi膜等の誘電体膜はアモルファス状態に近いので、膜の組成sは3/2に近い値であるが、形成するたびに異なる値となり、場所によっても一定しないのでAl₁O_sと表記する。

【0059】上記DHウェハーをチップに分割することにより窓領域を有する長さ800μmの共振器の光出射側共振器端面近傍に長さ略20μmの窓領域113及び略20μmの電流注入防止層115を有した半導体レーザ素子が製造される。本半導体レーザ素子は共振器端面を光出射側にして使用される。

【0060】窓領域の長さが略10μm未満になると、内部領域に注入されたキャリア(ホールまたは電子)が端面にまで拡散して再結合するため、電流の光への変換効率が下がってしまう。また、窓領域の長さが長くなると、1枚のウェーハーから取れる半導体レーザ素子の数が減少するため、窓領域の長さLwは10μm以上50μm以下が適当である。より好ましくはLwを20μmより長く40μm以下となるように設計することが望ましい。

【0061】第1の実施の形態による半導体レーザ素子の製造方法において、1回目のMOCVD成長後のウェハーをフォトルミネッセンス(PL)法にて測定した所、MQW活性層のフォトルミネッセンスのピーク波長λiは775nmであった。ここに、PL法の測定によ

(7)

12

るピーク波長λiとは、ウェハー表面から青乃至緑色のArレーザ光を照射し、活性層から発生する蛍光強度の波長依存性を分光器で測定した時の蛍光強度のピーク波長のことである。

【0062】次に、図2(d)に示すRTA後のウェハーの一部を、誘電体膜のあるSiO₂膜121直下の窓領域113とp型GaAs保護層107直下の内部領域114について、PL法にて測定した。その結果、窓領域113のフォトルミネッセンスのピーク波長λwは745nm、内部領域114のフォトルミネッセンスのピーク波長λiは775nmであり、窓領域113のピーク波長λwの方が内部領域114のピーク波長λiよりも30nm短波長側に波長シフトしていた。また、活性層の内部領域114の波長は、1回目の成長直後のウェハー(図2(a))における活性層のピーク波長と同じ775nmであった。フォトルミネッセンスのピーク波長の逆数の値は、略半導体材料のバンドギャップに対応する。従って、活性層の窓領域113の方が活性層の内部領域114よりも大きなバンドギャップを持つことが示されている。

【0063】一方、窓領域113のフォトルミネッセンスの半値幅は内部領域114のフォトルミネッセンスの半値幅より狭くなった。この理由は内部領域114へのGa空孔の拡散が防止されたことにより、第2クラッド層、第3クラッド層、保護層等に添加したp型不純物(I1族原子)であるZnが内部領域114に拡散したため内部領域のフォトルミネッセンスの半値幅が広がったことによるものと考えられる。

【0064】このように、本発明の第1の実施の形態に関する半導体レーザ素子において、第2クラッド層104側に配設された層であるp型GaAs保護層107側のウェハー表面に、イオン化された原子122の照射(イオン照射)を行った後、RTAを施すことによつて、窓領域を形成すると、活性層の窓領域からのフォトルミネッセンスのピーク波長λwは活性層の内部領域からのフォトルミネッセンスのピーク波長λiに対し、λw≤λi-5nm、なる関係を満たしていることが解る。

【0065】また、窓領域113のフォトルミネッセンスの半値幅は内部領域114のフォトルミネッセンスの半値幅より狭いという関係を満たしていることも分かる。

【0066】即ち、内部領域に対向する第2クラッド層側に配設された保護層の表面にイオン化された原子を照射したことにより、該表面に形成された欠陥にGa空孔がトラップされて内部領域へのGa空孔の拡散を防止でき、内部領域のバンドギャップの変化を防止できた。その結果、窓領域のバンドギャップを内部領域のバンドギャップより5nm以上大きくすることができた。一方、従来方法によるZn拡散法による量子井戸の無秩序化法

(8)

13

により形成された窓領域の場合と比較して、不純物による光吸収が無いため、窓領域の長さを $20\text{ }\mu\text{m}$ 以上としても発振特性に影響が無く、チップ分割時におけるスクライブラインの入れる精度を緩和することができる。

【0067】また、本発明の実施の形態に関する半導体レーザ素子において、イオン照射は第2クラッド層側に配設された最上層である p 型 G a A s 保護層 107 の表面から行ったが、p 型 G a A s 保護層 107 側の無い場合、例えば、第2導電型の第2クラッド層表面よりイオン照射を行ってもよいし、また、第2導電型の第3クラッド層が表面となる場合は、この第3クラッド層表面よりイオン照射を行ってもよいことは言うまでもない。

【0068】このことから、本発明の製造方法を用いた半導体レーザ素子では、端面に隣接した窓領域の活性層のバンドギャップを活性層の内部領域のバンドギャップより十分大きくでき、又、窓領域での光吸収量を十分小さくできることが明らかとなった。さらに、本発明の製造方法では、第1回目の成長後に共振器内部の内部領域の活性層のバンドギャップが変動することを抑制可能であることが明らかとなった。

【0069】本発明の製造方法では、共振器の内部領域の第2クラッド層側に配設された最上層である p 型 G a A s 保護層 107 表面にイオン化された原子を照射することにより、p 型 G a A s 保護層 107 表面近傍に微小な結晶欠陥が多数生成される。この結晶欠陥が R T A 中に G a 原子の再蒸発により、ウェハー表面に生成された空孔を捕獲して、空孔が n 型 G a A s 基板 101 方向に拡散して活性層を無秩序化することを防止する。それにより、共振器内部の内部領域の活性層のバンドギャップ変動を防止することができる。

【0070】イオン化された原子は S i O₂ 膜 121 にも照射されるが、そのイオンが S i O₂ 膜を通過してその下の p 型 G a A s 保護層 107 に到達しないようにイオンエネルギーを調整する。

【0071】例えば、S i O₂ 膜の膜厚が $1\text{ }\mu\text{m}$ の時、イオンエネルギーを 500 eV とすれば、S i O₂ 膜を透過するイオンの割合は 10% 以下であり、透過イオンによる欠陥が R T A により拡散し、内部領域のバンドギャップを変化させることがほとんど無い。また、S i O₂ 膜の膜厚が $0.2\text{ }\mu\text{m}$ の時、イオンエネルギーが 3000 eV の場合、ほとんど全てのイオンが S i O₂ 膜を透過してしまう。

【0072】これらの結果、S i O₂ 膜 121 直下の p 型 G a A s 保護層 107 の表面には結晶欠陥が生じないので、R T A により、S i O₂ 膜 121 中に G a 原子が吸上げられ、p 型 G a A s 保護層 107 内部に生成された G a 空孔はすべて n 型 G a A s 基板 101 方向に拡散していき、活性層を無秩序化するので、S i O₂ 膜 121 直下の活性層のバンドギャップが大きくなり、窓領域 113 が形成される。

(14)

【0073】上記の本発明の製造方法によって得られた半導体レーザ素子の特性評価を行った。その結果、本発明の半導体レーザ素子では、光出力 $CW 120\text{ mW}$ で、波長は設定通りの発振波長 785 nm が得られた。さらに、図 13 に示されるように、雰囲気温度 70°C 、光出力 $CW 120\text{ mW}$ で 5,000 時間以上安定に作動し、作動中に動作電流が増大するような劣化現象は全く見られなかった。

【0074】本発明の半導体レーザ素子は共振器内部の活性層のバンドギャップ変動を防止できるので、設定通りの発振波長を実現することができる。さらに、高出力駆動においても長期信頼性に優れていることが明確になった。

【0075】本発明の第1の実施の形態に関する半導体レーザ素子では、共振器内部の p 型 G a A s 保護層 107 に A_r イオンの照射を行ったが、酸素 (O) イオン、窒素 (N) イオンのいずれか一つ又は複数のイオンの照射であれば、ウェハー表面付近にのみ結晶欠陥を生成でき、その欠陥が熱処理中にウェハー表面で生成した G a 空孔を効率よく捕獲することができるので、活性層のバンドギャップ変動防止に好適である。また、ウェハー表面付近にのみ結晶欠陥が生成されるので、熱処理中に欠陥が活性層に拡散することを抑制でき、信頼性悪化の防止に好適である。

【0076】本発明の第1の実施の形態に関する半導体レーザ素子及びその製造方法では、照射するイオンエネルギーを 1000 eV とした。イオンエネルギーの値は 3000 eV 以下がよく、好ましくは、 500 eV 以上、 1500 eV であり、イオンエネルギーが 3000 eV よりも大きくなると、イオン化された原子は S i O₂ 膜 121 を通過して、その下の p 型 G a A s 保護層 107 にまで到達し、保護層表面に結晶欠陥を生成する。その結果、R T A で S i O₂ 膜直下の G a A s 保護層の G a 原子が S i O₂ 膜に吸収されて G a 空孔が生成され、その空孔が結晶欠陥に捕獲されて空孔の活性層への拡散量が少なくなる。そのために、活性層の窓領域の量子井戸構造の無秩序化が不十分でバンドギャップが所望の値にまで増大しないという問題が生じ、その結果端面劣化を抑制できなくなり、信頼性が悪化する。

【0077】また、第1の実施の形態では、イオン照射装置としてイオンガンを使用した場合について述べた。イオンガンは、イオンエネルギーの精密制御が可能であり、ウェハー表面の結晶欠陥生成量の制御に優れている。同様にイオン加速機能を有するイオン注入装置、イオンアシスト蒸着装置等を用いてイオンを照射しても良い。これらの装置ではイオンエネルギーと照射するイオンの量 (イオン電流) を独立して制御できるので欠陥の深さ方向の分布と欠陥の量を独立して制御することができ、従って G a 空孔の分布、および量も制御できるので内部領域のバンドギャップ変化量を容易に制御すること

(9)

15

ができる。

【0078】一方、イオンアシスト蒸着装置、プラズマCVD装置、スパッタ装置、プラズマアッシャー等のイオン発生装置等を用いてイオン照射を行っても良い。イオンアシスト蒸着装置、プラズマCVD装置、スパッタ装置等はイオン照射と誘電体膜の形成同じ装置で実施できるのでイオン照射した面を大気に晒したことにより特性が変化してしまうと言う心配が無い。また、プラズマCVD装置、スパッタ装置、プラズマアッシャー等プラズマを発生させる装置を用いると、誘電体膜を形成する前に表面の汚染物を除去することができるという利点がある。

【0079】また、第1の実施の形態における共振器端面近傍のウェハー表面に形成する誘電体膜にはSiを含有する膜が好適である。Siを含有する膜は熱処理のRTA中にウェハー表面のGa原子を効率よく吸収し、多数の空孔を生成し、それが活性層に拡散して、活性層の窓領域のバンドギャップ増大させることができる。この活性層の窓領域のバンドギャップ増大が多い程、共振器端面近傍領域の光吸収量を低減することができ、長期信頼性に優れたレーザ素子を得ることができる。

【0080】第1の実施の形態では、共振器端面近傍のウェハー表面に形成した誘電体膜には、 SiO_x 膜を使用した場合について述べたが、それ以外に SiN_x 、 SiO_yN_x (x、yは正の実数)等についても、熱処理中にウェハー表面のGa原子を吸収して空孔の生成に優れているので、本発明の誘電体膜として好適である。

【0081】また、第1の実施の形態では、熱処理法として、RTA法を用いており、100秒以内に800℃以上の温度まで昇温し、100秒以内保持して、その後冷却を行う工程を含んでいる。このような急速な熱処理(RTA)により、共振器端面近傍の誘電体膜にGa原子が吸収されて生成された空孔が活性層に拡散しやすくなり、活性層のバンドギャップ増大を促進できる。また、共振器内部のドーパントの拡散を防止でき、ドーパントの拡散に伴う信頼性悪化を防止でき、長期信頼性に優れた半導体レーザ素子及びその製造方法を提供することができる。

【0082】第1の実施の形態では、共振器端面近傍窓領域のウェハー表面に形成した誘電体膜の膜厚が1μm以下である。膜厚が1μmより厚い場合には、熱処理時に誘電体膜とウェハー表面との膨張係数の違いにより膜はがれが生じやすくなる。そのため、ウェハー表面で生成する空孔数が減少し、活性層に拡散する空孔数が減少して端面近傍の活性層のバンドギャップ増大が少なくなる。のために、端面劣化が発生して信頼性が低下する。

【0083】第1の実施の形態では、活性層は、バリヤ層及びウエル層が交互に積層された多重量子井戸構造を光ガイド層で挟んでなる構造を用いている。活性層が層

16

厚30nm以下の量子井戸層で、且つ、量子井戸層の厚さの合計が40nm以下で構成されている場合、それより層厚が厚い場合に比べて、熱処理中の共振器端面近傍の活性層への空孔の拡散により、活性層の窓領域のバンドギャップをより増大させることができる。そのため、端面劣化を大きく抑制することができ、信頼性向上に優れている。活性層が量子井戸層が1つの単一量子井戸で構成されていても良いことは言うまでもない。

【0084】第1の実施の形態では、GaAs基板上の各層がAlGaAs系で構成されている。熱処理中に、共振器端面近傍のウェハー表面に形成した誘電体膜でGa原子が吸収され、生成したGa空孔はAlGaAs中では拡散速度が特に速い。のために、活性層へのGa空孔の拡散により、活性層の窓領域のバンドギャップをより大きく変化し、増大させることができる。このように、AlGaAsを用いた場合には、本製造方法による端面劣化を抑制に効果的であり、信頼性向上に優れる。

【0085】第1の実施の形態では、共振器端面の光出射側端面にのみ窓領域を形成した場合について述べたが、それ以外に、共振器端面の反対側端面にのみ窓領域を形成した場合、あるいは両端面に窓領域を形成した場合についても同様の端面劣化抑制効果がある。

【0086】第1の実施の形態では、共振器端面近傍窓領域のリジットライプ上に、第1導電型の電流注入防止層を形成している。窓領域は熱処理中に保護層表面からの空孔が第2クラッド層、活性層に拡散している。この窓領域に電流を流すと、通電中に空孔の移動に伴う組成変動または不純物の拡散が生じる。電流注入防止層を設けることにより空孔の移動を防止して、信頼性向上に効果がある。

【0087】[比較例1] 比較例1として、共振器内部領域のp型GaAs保護層107側のウェハー表面にイオン照射する工程(図2(c))を省略して、RTAを行ったウェハーの一部を、PL法にて窓領域113と内部領域114のPLのピーク波長を測定した。その結果、窓領域113のPLのピーク波長が745nm、内部領域114のPLのピーク波長が760nmであった。窓領域113のPL波長は、内部領域114のPL波長よりも15nmしか短波長側に波長シフトしておらず、これはイオン照射する工程の効果を数量的に示すものである。

[比較例2] 比較例2として、イオン照射工程を除いて製造した半導体レーザ素子では、光出力CW120mWで設定波長785nmに対して、発振波長が770nmとなり、設定よりも15nm短波長化した。さらに、図14に示すように、雰囲気温度70℃、光出力CW120mWにおいて500時間程度で動作電流が増大する素子劣化が見られた。このように、比較例2のレーザ素子では、共振器内部の活性層のバンドギャップ変動に伴い、発振波長が変動し、設定通りの発振波長を実現でき

(10)

17

ていない。また、発振波長の短波長化に伴い、窓領域における吸収による発光効率の低下と活性層に注入されたキャリヤのクラッド層へのリークにより、高出力時に動作電流が増大する素子劣化が生じ易くなり、長期信頼性に問題が生じた。

【0088】[第2の実施の形態] 図3は、本発明の第2の実施の形態に関する半導体レーザ素子の構造を示す断面図である。図3において、図3(a)は光出射端面を含む斜視図、図3(b)は図3(a)のIa—Ia線における導波路の断面図、図3(c)は図3(a)のIb—Ib線における層厚方向の断面図である。

【0089】また、201はn型GaN基板、202はn型Al_{1-x}Ga_xAs(x2は0より大、1以下)第1クラッド層、203はバリア層及びウェル層が交互に積層された多重量子井戸構造を光ガイド層で挟んでなる多重量子井戸活性層(MQW活性層)、204はp型Al_{1-x}Ga_xAs第2クラッド層、205はp型GaNエッチングトップ層、206は共振器方向にリッジストライプからなるp型Al_{1-x}Ga_xAs第3クラッド層、207はp型GaN保護層、208はリッジストライプからなるp型Al_{1-x}Ga_xAs第3クラッド層206及びp型GaN保護層207の側面を埋め込む様に形成されたn型Al_{1-y}Ga_yAs電流阻止層(y2は0以上、1以下)、209はp型GaN平坦化層、210はp型GaNコンタクト層、211はp側電極、212はn側電極である。また、213は共振器端面近傍のMQW活性層のバンドギャップが共振器内部のMQW活性層203のバンドギャップよりも大きい窓領域、214は活性層の内部領域、215はp型GaN保護層207上に形成されたn型Al_{1-y}Ga_yAs電流注入防止層、216はp型Al_{1-x}Ga_xAs第3クラッド層206とp型GaN保護層207からなるリッジストライプである。

【0090】次に、製造方法について図4に基づいて説明する。n型GaN基板201上に、1回目の有機金属気相成長(MOCVD)法にてn型Al_{1-x}Ga_xAs第1クラッド層202、ノンドープMQW活性層203、p型Al_{1-x}Ga_xAs第2クラッド層204、p型エッチングトップ層205、p型Al_{1-x}Ga_xAs第3クラッド層206、p型GaN保護層207を、順次エピタキシャル成長させて、DHウェハーを得る(図4(a))。

【0091】次に、共振器端面近傍領域のp型GaN保護層207の表面に、スパッタ法とフォトリソグラフィー法によって、リッジストライプと直交する方向に幅40μmのストライプ状の誘電体膜であるSiO₂膜(z2は2近傍の実数、厚さ0.5μm)221を形成する。半導体ウェハー上に形成されるストライプ状の誘電体膜221のピッチは共振器長の略2倍の1600μmとした(図4(b))。

18

【0092】次に、共振器内部領域のp型GaN保護層207側表面に、イオン化された原子の照射(イオン照射)222を行う。第2の実施の形態では、酸素(O)イオンを用い、イオン照射エネルギーは500eVで行った。イオン照射にはイオンアシスト蒸着装置を用いた(図4(c))。

【0093】共振器端面近傍領域の誘電体膜221の表面と、共振器内部領域のイオン照射されたp型GaN保護層207の表面には、イオン照射後、同じイオンアシスト蒸着法によりSiO₂膜223(z3は2近傍の実数、厚さ0.2μm)を形成する(図4(d))。

【0094】次に、RTA法による熱処理によって、SiO₂膜221直下のMQW活性層のバンドギャップが共振器内部領域のMQW活性層のバンドギャップよりも大きい窓領域213を形成する。この時の熱処理条件は30秒で室温から温度930℃まで昇温させ、930℃で60秒間保持した後に冷却した。その結果、窓領域213と内部領域214が共振器方向に形成された(図4(e))。

【0095】次に、p型GaN保護層207の表面に形成した誘電体膜221と223を除去し、通常のフォトリソグラフィー技術を用いてp型GaN保護層207上に[011]方向に伸びたストライプ状のレジストマスク224を形成し、通常のエッチング技術を用いて、p型エッチングトップ層205に到達するようにp型GaN保護層207とp型Al_{1-x}Ga_xAs第3クラッド層206を[011]方向に伸びた2μm幅のストライプ状のリッジ216に加工する(図4(f))。

【0096】次に、p型GaN保護層207上に形成されたストライプ状のレジストマスク224を除去し、2回目のMOCVD法によって、p型GaN保護層207とp型Al_{1-x}Ga_xAs第3クラッド層206からなるリッジ216の側面をn型Al_{1-y}Ga_yAs電流阻止層208とp型GaN平坦化層209で埋め込む(図4(g))。

【0097】通常のフォトリソグラフィー技術を用いて、リッジ216の側面に形成されたp型GaN平坦化層209、及び、リッジ216上に形成されたp型GaN平坦化層209上の共振器端面から60μmの範囲にレジストマスク225を形成し、通常のエッチング技術を用いて、レジストマスク225開口部のn型Al_{1-y}Ga_yAs電流阻止層208とp型GaN平坦化層209を選択的に除去する(図4(h))。

【0098】p型GaN平坦化層209上に形成されたレジストマスク225を除去し、3回目のMOCVD法でp型GaNコンタクト層210を形成する。共振器端面近傍にはリッジストライプ216の上方に電流阻止層208と同時に成長されたn型Al_{1-y}Ga_yAs電流注入防止層215が形成される(図4(i))。

(11)

19

【0099】最後に、上面にはp電極211、下面にはn電極212を形成する。

【0100】その後、 $60\mu\text{m}$ 幅の電流注入防止層215のほぼ中央にスクライブラインを入れて、共振器の長さのレーザバーに分割する。窓領域を有する共振器端面の反射率が12%になるようにAl₂O₃コートを行い、反対側の共振器端面には反射率が95%になるようにAl₂O₃とアモルファスSiの多層膜をコートする。チップに分割して、長さ $800\mu\text{m}$ の共振器の光出射端面部に略 $20\mu\text{m}$ の窓領域及び略 $30\mu\text{m}$ の電流注入防止層を有した素子が製造される。

【0101】本発明の第2の実施の形態によって得られた半導体レーザ素子の特性評価を行った。その結果、本発明の素子では光出力CW 120mW で波長設定通りの発振波長 785nm が得られた。さらに、図15に示すように雰囲気温度 70°C 、光出力CW 150mW で5,000時間以上安定に作動し、作動中に動作電流が増大するような劣化現象は全く見られなかった。

【0102】本発明の第2の実施の形態による半導体レーザ素子は、共振器内部の活性層のバンドギャップ変動を防止できるので、設定通りの発振波長を実現することができる。さらに、高出力駆動で長期信頼性に優れていることが明確になった。

【0103】本発明の製造方法に示すように、熱処理工程の前に共振器内部のウェハー表面に誘電体膜を形成する工程を含むことにより、信頼性向上にさらに効果があることがわかる。

【0104】なお、共振器内部の保護層表面に形成する誘電体膜は、イオン化した原子を照射した後に形成するのがよい。誘電体膜を先に形成して、その後でイオン化した原子を照射する場合には、誘電体膜を通過してウェハーの保護層表面に結晶欠陥を生成するため、イオンエネルギーを 3keV より高いイオンエネルギーに加速してイオン照射する必要がある。その場合、ウェハーの保護層表面から結晶奥深くまで結晶欠陥が侵入し、熱処理中にその欠陥が活性層に拡散して、信頼性を悪化させる。

【0105】また、第2の実施の形態では、イオン照射装置としてイオンアシスト蒸着機を使用した場合について述べた。イオンアシスト蒸着機ではイオン照射後に、ウェハーを大気中に取り出すことなく、次の誘電体膜を連続して形成できる点で優れている。また、スパッタ装置とプラズマCVD装置においても同様に、イオン照射、即ち、プラズマ照射後にウェハーを大気中に曝すことなく、次の誘電体膜を連続形成できる。さらに、これらの装置は半導体プロセスで一般的な装置であり、製造方法を簡素化できるという利点がある。

【0106】また、第2の実施の形態では共振器端面近傍領域のウェハー表面に形成した誘電体膜と前記共振器内部領域のウェハー表面に形成した誘電体膜は、ともに

20

SiO_x膜であり、熱膨張係数がほぼ同じである。共振器端面近傍と共振器内部のウェハー表面が熱膨張係数のほぼ同じ誘電体膜で覆われているので、熱処理による共振器端面と共振器内部での熱膨張係数の違いによる歪みをさらに低減でき、信頼性向上に効果がある。

【0107】また、第2の実施の形態では、共振器端面近傍領域のウェハー表面に形成した誘電体膜の膜厚が、共振器内部領域のウェハー表面に形成した誘電体膜の膜厚よりも厚くなるように設定されている。共振器端面近傍の誘電体膜の膜厚が厚いことにより、熱処理で大量の空孔を生成でき、それらを活性層に拡散することができる。同時に、共振器内部の誘電体膜の膜厚が共振器端面近傍よりも薄いことにより、熱処理で生成する空孔を少なくでき、活性層の内部領域への空孔の拡散を抑制できる。このように、端面劣化抑制により信頼性向上が得られる。同時に共振器内部の活性層の内部領域のバンドギャップ変動を抑制できる。

【0108】また、第2の実施の形態では、共振器内部領域のウェハー表面上に形成した誘電体膜の膜厚が $0.5\mu\text{m}$ 以下である。膜厚が $0.5\mu\text{m}$ より厚い場合には、熱処理で生成する空孔の数が非常に多くなるために、活性層への空孔拡散を防止できなくなり、共振器内部の活性層の内部領域のバンドギャップ変動が起りやすくなる。

【0109】また、第2の実施の形態では、共振器端面近傍の電流注入防止層215の長さが窓領域213の長さよりも長い。熱処理により保護層表面で生成した空孔が直下の活性層だけでなく、共振器内部の活性層にも拡散する。この共振器内部に拡散した空孔は、活性層のバンドギャップを大きく変動させることはないが、注入された電流により、活性層中に微小欠陥を生成する。即ち、活性層の空孔拡散した領域に電流を流すと、通電中にわずかながら電流増大が見られる。そこで、電流注入防止層215を窓領域213よりも長く設定して、共振器の内部領域で空孔が拡散した領域には、電流を流さないようにする。これにより、長期にわたって信頼性の良好なレーザ素子が得られる。

【0110】また、第2の実施の形態では、共振器の内部領域の保護層207に酸素イオンの照射を行っている。その場合、保護層表面付近に結晶欠陥と同時に、 $0.2\mu\text{m}$ より十分薄いGa又は、及び、Asの酸化膜が形成され、熱処理中にウェハー表面で生成した空孔をその結晶欠陥と酸化膜の両方で効率よく捕獲することができる。従って、空孔の活性層の内部領域への拡散抑制、即ちバンドギャップ変動防止、発振波長の変動の防止、にさらに好適である。

【0111】[比較例3] 比較例3として、共振器内部のp型GaAs保護層207表面にイオン化された原子を照射した後に、図4(d)のウェハー表面に誘電体膜

(12)

21

223を形成する工程を省略してRTAを行う製造方法を用いた素子の特性評価を行った。本半導体レーザ素子は図16に示すように、雰囲気温度70°C、光出力CW 150mWにおいて1,000時間程度で動作電流が増大する劣化現象が見られた。共振器内部の保護層表面に誘電体膜を形成しないで熱処理を行うと、共振器端面と内部で熱処理中に熱膨張係数の違いによる歪みが発生し、その歪みが活性層（内部領域）に作用して、長期信頼性を悪化させると推定される。

【0112】[第3の実施の形態]図5は、本発明の第3の実施の形態に関する半導体レーザ素子の構造を示す断面図である。図5において、図5(a)は光出射端面を含む斜視図、図5(b)は図5(a)のIa-Ia線における導波路の断面図、図5(c)は図5(a)のIb-Ib線における層厚方向の断面図である。

【0113】また、301はn型GaaS基板、302はn型Al_{1-x}3Ga_{1-x}3As(x3は0より大、1以下)第1クラッド層、303はバリア層及びウェル層が交互に積層された多重量子井戸構造を光ガイド層で挟んでなる多重量子井戸活性層(MQW活性層)、304はp型Al_{1-x}3Ga_{1-x}3As第2クラッド層、305はp型GaaSエッチングトップ層、306は共振器方向にリッジストライプからなるp型Al_{1-x}3Ga_{1-x}3As第3クラッド層、307はp型GaaS保護層、308はリッジストライプからなるp型Al_{1-x}3Ga_{1-x}3As第3クラッド層の側面を埋め込む様に形成されたn型Al_{1-y}3Ga_{1-y}3As(y3は0以上、1以下)電流阻止層、309はp型GaaS平坦化層、310はp型GaaSコンタクト層、311はp側電極、312はn側電極である。p型GaaS保護層307の厚さが共振器端面近傍領域の方が共振器内部領域よりも厚くなっている。

【0114】また、多重量子井戸活性層(MQW活性層)303は、窓領域313と内部領域314とから成り、窓領域313はバンドギャップが内部領域314のバンドギャップよりも大きい領域であり、内部領域314はレーザ発振を実現するための利得を有する領域である。315はp型GaaS保護層307上に形成されたn型Al_{1-y}3Ga_{1-y}3As電流注入防止層、316はp型Al_{1-x}3Ga_{1-x}3As第3クラッド層306とp型GaaS保護層307からなるリッジストライプである。また、以下の製造方法で説明するように、この窓領域313は、第2導電型の保護層307側表面よりイオン化された原子の照射を行った後、短時間での昇温して加熱する熱処理、RTAを施すことにより形成される。

【0115】本発明の第3の実施の形態に関する半導体レーザ素子の製造方法を図6に基づいて説明する。n型GaaS基板301上に、1回目の有機金属気相成長(MOCVD)法にてn型Al_{1-x}3Ga_{1-x}3As第1クラッド層302、ノンドープMQW活性層303、p型Al_{1-x}3Ga_{1-x}3As第2クラッド層304、p型エッチ

22

グトップ層305、p型Al_{1-x}3Ga_{1-x}3As第3クラッド層306、p型GaaS保護層307を、順次エピタキシャル成長させて、DHウェハーを得る(図6(a))。

【0116】共振器端面近傍領域のp型GaaS保護層307の表面に、プラズマCVD法とフォトリソグラフィー法によって、リッジストライプと直交する方向に幅50μmのストライプ状に、誘電体膜であるSiN_{t1}膜(t1は4/3近傍の実数、厚さ0.5μm)321を形成する。なお、ストライプのピッチは共振器長の略2倍の1200μmとした(図6(b))。

【0117】次に、共振器内部領域のp型GaaS保護層307側のウェハー表面に、イオン化された原子322の照射(イオン照射)を行う。本実施例では、アルゴン(Ar)イオンと酸素(O)イオンの混合イオンガスを用い、イオンエネルギーを800eVとして行った。イオン照射にはプラズマCVD装置を用いた。(図6(c))。イオンエネルギーはプラズマCVD装置の対向する電極間に印可した電圧と略等しい。

【0118】プラズマを用いてイオン照射を行っているため、SiN_{t1}膜321に覆われていない共振器内部領域のp型GaaS保護層307は略0.1μm程エッチングされた。共振器端面近傍領域の誘電体膜321の表面と、共振器内部領域のイオン照射されたp型GaaS保護層307の表面に、プラズマCVD法によりSiN_{t2}膜323(t2は4/3近傍の実数、厚さ0.2μm)を形成する(図6(d))。

【0119】次に、RTA法による熱処理によって、SiN_{t1}膜321直下のMQW活性層のバンドギャップが共振器内部領域のMQW活性層のバンドギャップよりも大きい窓領域313を形成する。この時の熱処理条件は60秒で室温から温度950°Cまで昇温させ、保持時間80秒で行った。その結果、活性層303に窓領域313と内部領域314とが共振器方向に形成された(図6(e))。

【0120】次に、p型GaaS保護層307の表面に形成した誘電体膜321と323を除去し、通常のフォトリソグラフィー技術を用いてp型GaaS保護層307上に[011]方向に伸びたストライプ状のレジストマスク324を形成し、通常のエッチング技術を用いて、p型エッチングトップ層305に到達するようにp型GaaS保護層307とp型Al_{1-x}3Ga_{1-x}3As第3クラッド層306を[011]方向に伸びた3μm幅のストライプ状のリッジ316に加工する(図6(f))。

【0121】次に、p型GaaS保護層307上に形成されたストライプ状のレジストマスク324を除去し、2回目のMOCVD法によって、p型GaaS保護層307とp型Al_{1-x}3Ga_{1-x}3As第3クラッド層306からなるリッジストライプ316の側面をn型Al_{1-y}3Ga_{1-y}3As

(13)

23

$1-y_3A_s$ 電流阻止層 308 と p 型 GaAs 平坦化層 309 で埋め込む (図 6 (g))。

【0122】通常のフォトリソグラフィー技術を用いて、リッジ 316 の側面に形成された p 型 GaAs 平坦化層 309、及び、リッジ 316 上に形成された p 型 GaAs 平坦化層 309 に、幅 50 μm のストライプ状のレジストマスク 325 を形成する。このとき、窓領域 313 直上の p 型 GaAs 保護層 307 の厚みが共振器内部の p 型 GaAs 保護層 307 の厚みよりも厚くなる。そこで、p 型 GaAs 平坦化層 309 表面に段差が生じ、その段差を目印にして、窓領域直上の p 型 GaAs 平坦化層 309 のみをレジストでカバーし、それ以外のリッジ上部のレジスト開口部を有するレジストマスク 325 を形成する。通常のエッチング技術により、レジストマスク 325 開口部の n 型 $A_1y_3G_a$ $1-y_3A_s$ 電流阻止層 308 と p 型 GaAs 平坦化層 309 を選択的に除去する (図 6 (h))。

【0123】p 型 GaAs 平坦化層 309 上に形成されたレジストマスク 325 を除去し、3 回目の MOCVD 法で p 型 GaAs コンタクト層 310 を形成する。共振器端面近傍にはリッジ 316 の上方に電流阻止層 308 と同時に形成された n 型 $A_1y_3G_a$ $1-y_3A_s$ 電流注入防止層 315 が形成される (図 6 (i))。

【0124】さらに、上面には p 電極 311、下面には n 電極 312 を形成する。そして、50 μm 幅の電流注入防止層、即ち窓領域の略中央にスクライブラインを入れて、共振器の長さのレーザーパーに分割する。窓領域を有する共振器端面の反射率が 12% になるように A10s コートを行い、反対側の共振器端面には反射率が 9.5% になるように A10s とアモルファス Si の多層膜をコートする。チップに分割して、長さ 600 μm の共振器の光出射端面部に略 25 μm の窓領域、及び略 25 μm の電流注入防止層を有した半導体レーザ素子が製造された。

【0125】本発明の第 3 の実施の形態に関する半導体レーザ素子の製造方法によって得られた半導体レーザ素子の特性評価を行った。その結果、本発明の半導体レーザ素子では、光出力 CW 120 mW で波長設定通りの発振波長 785 nm が得られた。さらに、雰囲気温度 70 °C、光出力 CW 150 mW で 5,000 時間以上安定に作動し、作動中に動作電流が増大する劣化は全く見られなかった。

【0126】本発明の第 3 の実施の形態では、共振器内部領域の保護層表面にプラズマによりイオン化された原子を生成し、照射しているので、このプラズマによって、保護層表面のエッチングもする。この保護層表面のエッチングにより、表面に付着した汚染物、表面酸化膜を除去でき、イオン化された原子の照射による保護層表面の結晶欠陥生成が促進される。この結晶欠陥が RTA 中に保護層表面に生成された空孔を捕獲して、空孔が n

24

型 GaAs 基板方向に拡散して活性層を無秩序化することを防止する。それにより、内部領域の活性層のバンドギャップ変動を防止することができる。

【0127】また、第 3 の実施の形態では、窓領域直上の保護層 307 の厚さが共振器内部の保護層 307 の厚さよりも厚いことから、それを目印にして第 1 導電型の電流注入防止層 315 を形成のためのマスクを位置合せすることができる。従って、位置合せを比較的容易にでき、端面形成プロセスの簡略化が図れ量産性にも優れる。

【0128】また、第 3 の実施の形態では、イオン照射装置としてプラズマ CVD を使用した場合について述べた。本装置を用いるとプラズマ照射後のウェハーを大気中に取り出すことなく、また、プラズマ照射後のウェハーを大気に曝すことなく、次の誘電体膜を連続形成できる。さらに、これらの装置は、半導体プロセスで一般的な装置であり、製造方法を簡素化できるという利点がある。また、スパッタ装置においても同様の効果がある。

【0129】【第 4 の実施の形態】図 7 は、本発明の第 4 の実施の形態に関する半導体レーザ素子の構造を示す断面図である。図 7 において、図 7 (a) は光出射端面を含む斜視図、図 7 (b) は図 7 (a) の Ia-Ia 線における導波路の断面図、図 7 (c) は図 7 (a) の Ib-Ib 線における層厚方向の断面図である。

【0130】また、401 は n 型 GaAs 基板、402 は n 型 $A_1x_4G_a$ $1-x_4A_s$ (x_4 は 0 より大、1 以下) 第 1 クラッド層、403 はバリア層及びウェル層が交互に積層された多重量子井戸構造を光ガイド層で挟んでなる多重量子井戸活性層 (MQW 活性層)、404 は p 型 $A_1x_4G_a$ $1-x_4A_s$ 第 2 クラッド層、405 は p 型エッチングストップ層、406 は共振器方向にリッジストライプからなる p 型 $A_1x_4G_a$ $1-x_4A_s$ 第 3 クラッド層、407 は p 型 GaAs 保護層、408 はリッジストライプからなる p 型 $A_1x_4G_a$ $1-x_4A_s$ 第 3 クラッド層の側面を埋め込む様に形成された n 型 $A_1y_4G_a$ $1-y_4A_s$ (y_4 は 0 以上、1 以下) 電流阻止層、409 は p 型 GaAs 平坦化層、410 は p 型 GaAs コンタクト層、411 は p 側電極、412 は n 側電極である。p 型 GaAs 保護層 407 の厚さが共振器端面近傍領域の方が共振器内部領域よりも厚くなっている。

【0131】また、多重量子井戸活性層 (MQW 活性層) 403 は、窓領域 413 と内部領域 (活性領域ともいう) 414 とから成り、窓領域 413 はバンドギャップが内部領域 414 のバンドギャップよりも大きい領域であり、内部領域 414 はレーザ発振を実現するための利得を有する領域である。415 は p 型 GaAs 保護層 407 上に形成された n 型 $A_1y_4G_a$ $1-y_4A_s$ 電流注入防止層、416 は p 型 $A_1x_4G_a$ $1-x_4A_s$ 第 3 クラッド層 406 と p 型 GaAs 保護層 407 からなるリッジストライプである。

(14)

25

【0132】本発明の第4の実施の形態に関する半導体レーザ素子では、共振器端面近傍領域のリッジストライプ416のストライプ幅が、共振器の内部領域414のリッジストライプのストライプ幅よりも広くなっている。

【0133】本発明の第4の実施の形態に関する半導体レーザ素子の製造方法を図8に基づいて説明する。n型GaAs基板401上に順次、1回目の有機金属気相成長(MOCVD)法にてn型Al_x4Ga_{1-x}4As第1クラッド層402、ノンドープMQW活性層403、p型Al_{1-x}4Ga_{1-x}4As第2クラッド層404、p型GaAsエッチングトップ層405、p型Al_{1-x}4Ga_{1-x}4As第3クラッド層406、p型GaAs保護層407をエピタキシャル成長させて、DHウェハーを得る(図8(a))。

【0134】共振器端面近傍領域のp型GaAs保護層407の表面に、プラズマCVD法とフォトリソグラフィー法によって、リッジストライプと直交する方向に幅40μmのストライプ状に、誘電体膜であるSiO_z3膜421(z3は2近傍の実数、厚さ0.5μm)を形成する。なお、ストライプのピッチは共振器長の略2倍の1600μmとした(図8(b))。

【0135】次に、共振器内部領域のp型GaAs保護層407側のウェハー表面に、イオン化された原子422の照射(イオン照射)を行う。本発明の第4の実施の形態では、窒素(N)イオンガスを用い、イオンエネルギーは1000eVの条件で行った。イオン照射にはスパッタ装置を用いた(図8(c))。イオンエネルギーはスパッタ装置の対向電極間に印可する電圧と略等しい。

【0136】プラズマを用いて、イオン照射を行っているため、SiO_z3膜421に覆われていない共振器内部領域のp型GaAs保護層407は0.1μm程エッティングされた。本発明の第4の実施の形態に関する半導体レーザ素子の製造方法では、イオンエネルギーは小さいが、酸化膜が形成されていないため、エッティング量が大きい。共振器端面近傍領域の誘電体膜421の表面と、共振器内部領域のイオン照射されたp型GaAs保護層407の表面に、スパッタ法によりSiO_z4膜423(z4は2近傍の実数、厚さ0.3μm)を形成する(図8(d))。

【0137】次に、RTA(ラピッドサーマルアニール)法による熱処理によって、SiO_z3膜421直下のMQW活性層のバンドギャップが共振器内部領域のMQW活性層のバンドギャップよりも大きい窓領域413を形成する。この時の熱処理条件は、60秒で室温から温度950℃まで昇温させ、保持時間60秒で行った。その結果、活性層403に、窓領域413と内部領域414とが共振器方向に形成された(図8(e))。

【0138】次に、p型GaAs保護層407の表面に

26

形成した誘電体膜421と423を除去し、通常のフォトリソグラフィー技術を用いてp型GaAs保護層407上に[011]方向に伸びたストライプ状のレジストマスク424を形成し、通常のエッティング技術を用いて、p型エッチングトップ層405に到達するようにp型GaAs保護層407とp型Al_{1-x}4Ga_{1-x}4As第3クラッド層406を[011]方向に伸びた2.5μm幅のストライプ状のリッジ416に加工する。このとき、共振器端面の窓領域の方が共振器の内部領域よりも、p型エッチングトップ層からp型GaAs保護層407とp型Al₁4GaAsクラッド層406を含めた厚さが厚いので、保護層407とクラッド層406を化学エッティングによりエッティングを施したときに、リッジの幅は共振器端面近傍領域(共振器窓領域)の方が、共振器内部領域より広くなる(図8(f))。

【0139】次に、p型GaAs保護層407上に形成されたストライプ状のレジストマスク424を除去し、2回目のMOCVD法によって、p型GaAs保護層407とp型Al_{1-x}4Ga_{1-x}4As第3クラッド層406からなるリッジ416の側面をn型Al_{1-y}4Ga_{1-y}4As電流阻止層408とp型GaAs平坦化層409で埋め込む(図8(g))。

【0140】通常のフォトリソグラフィー技術を用いてリッジ416の側面に形成されたp型GaAs平坦化層409、及び、リッジ416上に形成されたp型GaAs平坦化層409に、幅60μmのストライプ状のレジストマスク425を形成する。この時、窓領域413に対向するp型GaAs保護層407の厚みが共振器内部のp型GaAs保護層407の厚みよりも厚くなる。

そこで、p型GaAs平坦化層409表面に段差が生じ、その段差を目印にして、窓領域413に対向するp型GaAs平坦化層409のみをレジストでカバーし、内部領域に対向するリッジに開口部を有するレジストマスク425を形成する。通常のエッティング技術により、レジストマスク425の開口部のn型Al_{1-y}4Ga_{1-y}4As電流阻止層408とp型GaAs平坦化層409を選択的に除去する(図8(h))。

【0141】p型GaAs平坦化層409上に形成されたレジストマスク425を除去し、3回目のMOCVD法でp型GaAsコンタクト層410を形成する。共振器端面近傍にはリッジ416の上方に電流阻止層408と同時に形成されたn型Al_{1-y}4Ga_{1-y}4As電流注入防止層415が形成される(図8(i))。

【0142】さらに、上面にはp電極411、下面にはn電極412を形成する。

【0143】次に、60μm幅の電流注入防止層、即ち窓領域のほぼ中央にスクライブラインを入れて、共振器の長さのレーザバーに分割する。窓領域を有する共振器端面の反射率が12%になるようにAl₂O₃コートを行い、反対側の共振器端面には反射率が95%になるよう

(15)

27

に AlO_s とアモルファス Si の多層膜をコートする。チップに分割して、長さ $800 \mu\text{m}$ の共振器の光出射側端面部に略 $30 \mu\text{m}$ の窓領域及び電流注入防止層を有した素子が製造される。

【0144】本発明の第4の実施の形態に関する半導体レーザ素子の特性評価を行った。その結果、本発明の半導体レーザ素子では、光出力 CW 120 mW で設定波長通りの発振波長 785 nm が得られた。さらに、雰囲気温度 70°C 、光出力 CW 150 mW で 10000 時間以上安定に作動し、作動中に動作電流が増大する劣化は全く見られなかった。

【0145】第4の実施の形態の半導体レーザ素子では、窓領域のストライプ幅の方が内部領域のストライプ幅よりも広い。ストライプ幅が広いとストライプ内部の光密度を低減できる。従って、本発明では、窓領域のストライプ内部の光密度を低減できるので、端面劣化抑制にさらに効果的であり、長期信頼性向上に有効である。また、共振器の内部領域のストライプ幅を狭くできるので、レーザの横モードを安定化でき、I-L特性にキックが出現するのを防止することができる。

【0146】本発明の第4の実施の形態による製造方法では、共振器端面近傍領域のストライプ幅を選択的に広げる構造を窓形成プロセスの中でセルフアラインに製造することができる。従って、製造プロセスの簡素化を図ることができる。

【0147】【第5の実施の形態】図9は、本発明の第5の実施の形態に関する半導体レーザ素子の構造を示す断面図である。図9において、図9(a)は光出射端面を含む斜視図、図9(b)は図9(a)の Ia-Ia 線における導波路の断面図、図9(c)は図9(a)の Ib-Ib 線における層厚方向の断面図である。

【0148】また、501はn型GaAs基板、502はn型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ (x_5 は0より大、1以下) 第1クラッド層、503はバリア層及びウェル層が交互に積層された多重量子井戸構造を光ガイド層で挟んでなる多重量子井戸活性層(MQW活性層)、504はp型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第2クラッド層、505はp型GaAsエッティングストップ層、506は共振器方向にリッジストライプからなるp型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第3クラッド層、507はp型GaAs保護層、508はリッジストライプからなるp型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第3クラッド層の側面を埋め込む様に形成されたn型 $\text{Al}_{y_5}\text{Ga}_{1-y_5}\text{As}$ (y_5 は0以上、1以下) 電流阻止層、509はp型GaAs平坦化層、510はp型GaAsコントクト層、511はp側電極、512はn側電極である。

【0149】また、513は共振器端面近傍のMQW活性層のバンドギャップが共振器内部のMQW活性層503のバンドギャップよりも大きい窓領域、514は共振器の内部領域、515はp型GaAs保護層507上に形成されたn型 $\text{Al}_{y_5}\text{Ga}_{1-y_5}\text{As}$ 電流注入防止層、5

28

16はp型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第3クラッド層506とp型GaAs保護層507からなるリッジストライプである。

【0150】図10に本実施の形態の半導体レーザ素子の共振器端面近傍の窓領域における、p型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第3クラッド層506、p型GaAsエッティングストップ層505、p型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第2クラッド層504、MQW活性層503、n型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第1クラッド層502におけるp型不純物であるII族原子(Z_n)の不純物原子濃度の分布を示す。

第1回目のエピタキシャル成長後の Z_n 濃度分布とRTA後の Z_n 濃度分布を示す。第1回目のエピタキシャル成長後には、p型クラッド層から活性層への Z_n 拡散はほとんどない。RTAを行うと、p型クラッドから活性層に拡散する Z_n 濃度は最大 $3 \times 10^{17} \text{ cm}^{-3}$ である。

【0151】これに対して、図11に本実施の形態の半導体レーザ素子の共振器の内部領域における、p型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第3クラッド層506、p型GaAsエッティングストップ層505、p型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第2クラッド層504、MQW活性層503、n型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第1クラッド層502におけるp型II族原子(Z_n)の不純物原子濃度の分布を示す。第1回目のエピタキシャル成長後の Z_n 濃度分布とRTA後の Z_n 濃度分布を示す。第1回目のエピタキシャル成長後には、p型クラッド層から活性層への Z_n 拡散はほとんどない。RTAを行うと、p型クラッドから活性層に拡散する Z_n 濃度は最大 $8 \times 10^{17} \text{ cm}^{-3}$ である。このように、RTA後にp型クラッド層から活性層に拡散する Z_n 濃度は、共振器端面近傍の窓領域よりも共振器の内部領域の方が多くなっている。

【0152】本発明の第5の実施の形態に関する半導体レーザ素子の製造方法を図10に基づいて説明する。n型GaAs基板501上に順次、1回目の有機金属気相成長(MOCVD)法にてn型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第1クラッド層502、ノンドープMQW活性層503、p型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第2クラッド層504、p型GaAsエッティングストップ層505、p型 $\text{Al}_{x_5}\text{Ga}_{1-x_5}\text{As}$ 第3クラッド層506、p型GaAs保護層507をエピタキシャル成長させて、DHウェハーを得る(図10(a))。

【0153】共振器端面近傍領域のp型GaAs保護層507の表面に、プラズマCVD法とフォトリソグラフィー法によって、リッジストライプと直交する方向に幅 $40 \mu\text{m}$ のストライプ状に、誘電体膜である SiC_{25} 膜521 (z_5 は2近傍の実数、厚さ $0.7 \mu\text{m}$) を形成する。なお、ストライプのピッチは共振器長と同じ略 $800 \mu\text{m}$ とした(図10(b))。

【0154】次に、共振器内部領域のp型GaAs保護層507側のウェハー表面に、イオン化された原子52の照射(イオン照射)を行う。第5の実施の形態で

(16)

29

は、アルゴン (Ar) イオンガスを用い、イオン照射エネルギーは 1200 eV の条件で行った。イオン照射にはイオン注入装置を用いた (図 10 (c))。

【0155】イオン照射により、SiC₂₅膜 521 に覆われていない共振器内部領域の p 型 GaAs 保護層 507 は 0.2 μm エッティングされた。共振器端面近傍領域の SiO₂₅膜 521 の表面と、共振器内部領域のイオン照射された p 型 GaAs 保護層 507 の表面に、プラズマ CVD 法により SiN₃膜 523 (t₃ は 4/3 近傍の実数、厚さ 0.3 μm) を形成する (図 10 (d))。

【0156】次に、RTA 法による熱処理によって、SiO₂₅膜 521 直下の MQW 活性層のバンドギャップが共振器内部領域の MQW 活性層のバンドギャップよりも大きい窓領域 513 を形成する。この時の熱処理条件は 20 秒で室温から温度 950 °C まで昇温させ、保持時間 90 秒で行った。その結果、活性層 503 に、窓領域 513 と内部領域 514 とが共振器方向に形成された (図 10 (e))。

【0157】共振器端面近傍領域における窓領域では熱処理 (熱アニール) 中に SiC₂₅膜 521 の方が共振器の内部領域における SiN₃膜 523 より p 型 GaAs 保護層 507 の Ga 原子を大量に吸収するので、共振器端面近傍領域に大量の空孔が生成され、その空孔が活性層に拡散していく。このとき、実施の形態 1 乃至実施の形態 4 の半導体レーザ素子に対し本実施例の半導体レーザ素子は窓領域に対向する第 2 クラッド層、第 3 クラッド層等の各 p 型層における空孔密度が高いため、p 型クラッド層のドーパント (Zn) が空孔と結びつき、空孔のサイトに Zn が入り、その結果、p 型クラッド層の Zn は活性層の窓領域側には拡散しにくくなる (図 11)。

【0158】これに対して、活性層の内部領域に対向する p 型クラッド層では熱処理 (熱アニール) 中に、実施の形態 1 乃至実施の形態 4 の半導体レーザ素子と同様、イオン照射によって生じた欠陥により空孔の生成が抑制されるので、p 型クラッド層のドーパント (Zn) は活性層側により多く拡散する (図 12)。その結果、活性層中の Zn 濃度は、共振器端面近傍の窓領域よりも共振器の内部領域の方が多くなる。その結果、活性層の内部領域の抵抗が下がり、より効率良く電流を注入することが可能となる。

【0159】次に、p 型 GaAs 保護層 507 の表面に形成した誘電体膜 521 と 523 を除去し、通常のフォトリソグラフィー技術を用いて p 型 GaAs 保護層 507 上に [011] 方向に伸びたストライプ状のレジストマスク 524 を形成し、通常のエッティング技術を用いて、p 型エッティングストップ層 505 に到達するように p 型 GaAs 保護層 507 と p 型 Al_xSi_{1-x}As 第 3 クラッド層 506 をエッティングし、[011] 方向に

30

伸びた 2.5 μm 幅のストライプ状のリッジ 516 に加工する。このとき、共振器端面近傍領域の方が共振器の内部領域よりも、p 型エッティングストップ層から p 型 GaAs 保護層 507 と p 型 Al_xSi_{1-x}As 第 3 クラッド層 506 を含めた厚さが厚いので、保護層 507 とクラッド層 506 を化学エッティングによりエッティングを施したときに、リッジ 516 の幅は共振器端面近傍領域の方が広くなる (図 10 (f))。

【0160】次に、p 型 GaAs 保護層 507 上に形成されたストライプ状のレジストマスク 524 を除去し、2 回目の MOCVD 法によって、p 型 GaAs 保護層 507 と p 型 Al_xSi_{1-x}As 第 3 クラッド層 506 からなるリッジ 516 の側面を n 型 Al_ySi_{1-y}As 電流阻止層 508 と p 型 GaAs 平坦化層 509 で埋め込む (図 10 (g))。

【0161】この時、共振器端面近傍の窓領域 513 の直上の p 型 GaAs 保護層 507 の厚みが共振器内部の p 型 GaAs 保護層 507 の厚みよりも厚くなる。そこで、p 型 GaAs 平坦化層 509 表面に段差が生じ、その段差を目印にして、窓領域直上の p 型 GaAs 平坦化層 509 のみをレジストでカバーし、それ以外のリッジ上部のレジスト開口部を有するレジストマスク 525 を形成する。通常のエッティング技術により、レジストマスク 525 開口部の n 型 Al_ySi_{1-y}As 電流阻止層 508 と p 型 GaAs 平坦化層 509 を選択的に除去する (図 10 (h))。

【0162】p 型 GaAs 平坦化層 509 上に形成されたレジストマスク 525 を除去し、3 回目の MOCVD 法で p 型 GaAs コンタクト層 510 を形成する (図 10 (i))。

【0163】最後に、上面には p 電極 511、下面には n 電極 512 を形成する。その後、50 μm 幅の電流注入防止層、即ち窓領域のほぼ中央にスクライブラインを入れて、共振器の長さのレーザバーに分割する。窓領域を有する共振器端面の反射率が 12% になるように Al₂O₃ コートを行い、反対側の共振器端面には反射率が 95% になるように Al₂O₃ とアモルファス Si の多層膜をコートする。チップに分割して、長さ 800 μm の共振器の光出射側端面部に略 25 μm の窓領域及び電流注入防止層を有した素子が製造される。

【0164】本発明の第 5 の実施の形態に関する半導体レーザ素子の特性評価を行った。その結果、本発明の半導体レーザ素子では、光出力 CW 120 mW で設定通りの発振波長 785 nm が得られた。さらに、雰囲気温度 70 °C、光出力 CW 150 mW で 10000 時間以上安定に作動し、作動中に動作電流が増大する劣化は全く見られなかった。

【0165】第 5 の実施の形態に関する半導体レーザ素子は、活性層中の p 型不純物 (Zn) 濃度が、窓領域よりも内部領域の方が多いになっている。活性層に拡散した

(17)

31

Z_n は活性層中の空孔のサイトに入るので、結晶欠陥の発生を防止できる。その結果、通電中における内部領域での劣化を抑制できる。また、窓領域の活性層に Z_n が拡散すると、光吸収を生じる。そこで、窓領域の活性層中の Z_n が少ない方が光吸収は抑制されて、高出力動作時の信頼性が向上する。以上より、本発明の半導体レーザは、高出力駆動で長期信頼性に優れる。

【0166】また、第5の実施の形態に関する半導体レーザ素子の製造方法では、窓構造形成時の熱処理条件を調整することにより、p型クラッド層から活性層への Z_n 拡散量を窓領域と内部領域で同時に制御できる。つまり、熱処理の昇温速度で窓領域で発生する空孔量の制御が可能となり、それに伴い活性層への Z_n 拡散が制御できる。熱処理の保持時間で内部領域の Z_n 拡散量を制御できる。従って、本製造方法は制御性に優れるという効果がある。

【0167】以上の本発明の説明においては、基板上に $AlGaAs$ 系材料を成長した場合について述べたが、それ以外にクラッド層に Ga を含む材料、例えば $GaAs$ 基板上の $AlGaInP$ 系材料、 InP 基板または $GaAs$ 基板上の $InGaAsP$ 系材料、サファイア基板又は Si 基板、 SiC 基板上の $InGaAlN$ 系材料等のIII-V族材料についても適用可能である。

【0168】また、本発明では、結晶成長方法として MOCVD の場合について述べたが、それ以外に MBE (分子線ビームエピタキシー)、ALE (原子層エピタキシー)、LPE (液相エピタキシー) による各成長方法においても適用可能である。

【0169】また、本発明では、活性層に多重量子井戸を用いた構造について述べたが、それ以外に単一量子井戸、量子井戸層の厚さ 20 nm 以下の成長層に対しても適用可能である。また、活性層を挟む p型クラッド層と n型クラッド層の組成が同じ場合について述べたが、それらの組成が異なる場合、あるいは各クラッド層が複数の組成の層から構成される場合についても適用可能である。

【0170】また本発明の説明においては、一方の端面にのみ窓領域を設ける場合について説明したが、半導体レーザ素子の両側の端面に窓領域を設定しても良いことは当然である。

【0171】

【発明の効果】以上のように、本発明の半導体レーザ素子によれば、少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、共振器方向に延びるストライプ状の欠如部を有する電流阻止層、該電流阻止層のストライプ状欠如部に埋設された第2導電型の第3クラッド層、該第3クラッド層の上に設けられた第2導電型の保護層、とを有する半導体レーザ素子において、該活性層は、少なくとも一方の端面に隣接した窓領域と、多重量子井戸構造を有する内部領域、

32

とからなり、該第2導電型の第2クラッド層側に配設された層の表面よりイオン化された原子の照射を行った後、熱処理を施すことにより、該窓領域を形成してなる構成としている。

【0172】従って、内部領域に対向する第2クラッド層側に配設された保護層の表面にイオン化された原子を照射したことにより、熱処理により表面に形成された欠陥に Ga 空孔がトラップされて内部領域への Ga 空孔の拡散を防止でき、内部領域のバンドギャップの変化を防止できるので、窓領域のバンドギャップを内部窓領域のバンドギャップより 5 nm 以上大きくすることができた。窓領域のバンドギャップを内部領域のバンドギャップより十分大きくするために、端面劣化抑制に特に効果的であり、信頼性向上に優れている。

【0173】また、本発明の半導体レーザ素子によれば、少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、共振器方向に延びるストライプ状の欠如部を有する電流阻止層、該電流阻止層のストライプ状欠如部に埋設された第2導電型の第3クラッド層、該第3クラッド層の上に設けられた第2導電型の保護層、とを有する半導体レーザ素子において、該活性層は、少なくとも一方の端面に隣接した窓領域と、量子井戸構造を有する内部領域、とからなり、該窓領域からの蛍光oluminescence のピーク波長 λ_w は、該内部領域からの蛍光oluminescence のピーク波長 λ_i に対し、 $\lambda_w \leq \lambda_i - 5\text{ nm}$ 、なる関係にあり、該窓領域からの蛍光oluminescence の半値幅が該内部領域からの蛍光oluminescence の半値幅より狭い構成としている。

【0174】従って、共振器端面に隣接した活性層の窓領域のバンドギャップが活性層の内部領域のバンドギャップより十分大きいので、窓領域での光吸収量を十分小さくできる。また、窓領域からの蛍光oluminescence の半値幅が内部領域からの蛍光oluminescence の半値幅より狭いので内部領域では不純物が欠陥を埋めており、信頼性向上に優れている。

【0175】また、本発明の半導体レーザ素子によれば、窓領域に対向する部分の第2導電型の保護層の層厚が、内部領域に対向する部分の第2導電型の保護層の層厚よりも厚い構成としている。

【0176】従って、保護層の厚みの差を目印にして第1導電型の電流阻止層を形成のためのマスクを位置合わせが容易であり、端面形成プロセスの簡略化が図れ、量産性にも優れた半導体レーザ素子を得ることができる。

【0177】また、本発明の半導体レーザ素子によれば、窓領域の共振器方向の長さ L_w が $10\text{ }\mu\text{m}$ 以上である構成としている。

【0178】従って、内部領域に注入されたキャリア (ホールまたは電子) が端面にまで拡散して再結合することができないので、電流の光への変換効率が下がることが

(18)

33

ない。

【0179】また、本発明の半導体レーザ素子によれば、量子井戸構造を構成する量子井戸層の厚の合計の値が40nm以下である構成としている。

【0180】従って、熱処理中の共振器端面近傍の活性層への空孔の拡散により、活性層の窓領域のバンドギャップを、より増大せることができる。そのために、端面劣化を大きく抑制することができ、信頼性向上に優れた高出力窓構造半導体レーザ素子を得ることができる。

【0181】また、本発明の半導体レーザ素子によれば、第2導電型の保護層の上の窓領域に対向する部分に第1導電型の電流阻止層を設けた構成としている。

【0182】従って、電流注入防止層を設けることにより窓領域に電流を流すことを防止でき、空孔の移動を防止して、通電中に空孔の移動に伴う組成変動または不純物の拡散を防止することができるので信頼性向上に効果がある。

【0183】また、本発明の半導体レーザ素子によれば、第1導電型の電流注入防止層の共振器方向の長さL_pはL_wに対し、L_w≤L_p、なる関係にある構成としている。

【0184】従って、電流注入防止層の長さを窓領域の長さと略等しく設定した場合には、窓領域への通電を防止できるので、窓領域の活性層での無効電流発生を防止でき、信頼性向上に効果がある。また、電流注入防止層を窓領域よりも長く設定した場合には、共振器の内部領域で空孔が拡散した領域には、電流を流さないようにしているので、共振器内部に拡散した空孔が注入された電流により活性層中に微小欠陥を生成し、通電中に電流を増大させることがないのでより、長期にわたって信頼性の良好なレーザ素子が得られる。

【0185】また、本発明の半導体レーザ素子によれば、ストライプ状欠如部の前記活性層の窓領域に対向する部分の幅が、活性層の内部領域に対向する部分の幅よりも広い構成としている。

【0186】従って、窓領域のストライプ内部の光密度を低減できるので、端面劣化抑制にさらに効果的であり、長期信頼性向上に有効である。また、共振器の内部領域のストライプ幅を狭くできるので、レーザの横モードを安定化でき、I-L特性にキンクが出現するのを防止することができる。

【0187】また、本発明の半導体レーザ素子によれば、活性層の内部領域におけるII族元素の濃度の方が活性層の窓領域におけるII族元素の濃度より大きい構成としている。

【0188】従って、活性層に拡散したII族元素は活性層中の空孔のサイトに入るので、結晶欠陥の発生を防止できる。その結果、通電中における内部領域での劣化を抑制できる。また、窓領域の活性層にII族元素が拡散すると、光吸収を生じる。そこで、窓領域の活性層中

34

のII族元素が少ない方が光吸収は抑制されて、高出力動作時の信頼性が向上するので、高出力駆動で長期信頼性に優れる。

【0189】また、本発明の半導体レーザ素子によれば、前記基板はGaAsであり、前記各層はGaAlAs系材料で構成されている。

【0190】従って、熱処理中に、共振器端面近傍のウェハー表面に形成した誘電体膜でGa原子が吸収され、生成したGa空孔はAlGaAs中では拡散速度が特に速い。そのために、活性層へのGa空孔の拡散により、活性層の窓領域のバンドギャップをより大きく変化し、増大せることができる。このように、AlGaAsを用いた場合には、本製造方法による端面劣化を抑制に効果的であり、信頼性向上に優れる。

【0191】さらに、本発明の半導体レーザ素子の製造方法によれば、少なくとも基板上に、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層を積層するDHウェハー作成工程と、該DHウェハーの第2クラッド層を形成した側に配設された層の表面の一部に第1の誘電体膜を形成する工程と、該ウェハーの前記第1の誘電体膜を形成した側にイオン化された原子を照射する工程と、該イオン化した原子を照射されたDHウェハーを熱処理する工程、とを含む構成としている。

【0192】従って、第2クラッド層側に配設された層の表面近傍に微小な結晶欠陥が多数生成され、この結晶欠陥が熱処理中にGa原子の再蒸発により、ウェハー表面に生成された空孔を捕獲して、空孔が拡散して活性層を無秩序化することを防止する。そのことにより窓構造形成プロセス中における共振器内部の活性層のバンドギャップ変動、即ち発振波長の変動が抑制される。同時に、活性層の結晶質低下が抑制でき、高出力駆動で長期信頼性の優れた半導体レーザ素子を得ることができる。

【0193】また、本発明の半導体レーザ素子の製造方法によれば、第2クラッド層の上部に第2導電型の保護層を形成する工程を含む構成としている。

【0194】従って、DHウェハー表面に汚染物、不要な表面酸化膜が形成されても熱処理前に同時に除去することができる。

【0195】また、本発明の半導体レーザ素子の製造方法によれば、DHウェハーを熱処理する前に保護層の表面をエッチングする構成としている。

【0196】従って、DHウェハー表面に付着した汚染物、表面酸化膜を除去でき、イオン化された原子の照射による保護層表面の結晶欠陥生成が促進される。この結晶欠陥が熱処理中に保護層表面に生成された空孔を捕獲して、空孔がn型GaAs基板方向に拡散して活性層を無秩序化することを防止する。それにより、内部領域の活性層のバンドギャップ変動を防止することができる。

【0197】また、本発明の半導体レーザ素子の製造方法によれば、保護層の表面をエッチングすると同時にD

(19)

35

Hウェハー一面の前記第1の誘電体膜を形成した側にイオン化された原子を照射する構成としている。

【0198】従って、表面に付着した汚染物、表面酸化膜の除去と誘電体膜の形成を同時に行うことができる。で半導体レーザ素子作成プロセスを簡略化しても、イオン化された原子の照射による保護層表面の結晶欠陥生成が促進される。

【0199】また、本発明の半導体レーザ素子の製造方法によれば、第1の誘電体膜を形成したウェハー一面にイオン化した原子を照射した後、DHウェハー全体を覆うように第2の誘電体膜を形成する構成としている。

【0200】従って、誘電体膜を通過してウェハーの表面に結晶欠陥を生成する必要が無く、イオン照射の際のイオンエネルギーを高くする必要がないので、ウェハーの保護層表面から結晶奥深くまで結晶欠陥が侵入し、熱処理中にその欠陥が活性層に拡散して、信頼性を悪化させることができない。

【0201】また、本発明の半導体レーザ素子の製造方法によれば、前記第2の誘電体膜を形成した後にDHウェハーを熱処理する構成としている。

【0202】従って、熱処理工程の前に内部領域に対向するDHウェハー表面に誘電体膜を形成する工程を含むことにより、熱処理により再蒸発によって余分にG a空孔の発生を防止することができるので、表面に形成した欠陥にG a空孔を十分捕らえることができ、信頼性向上にさらに効果がある。

【0203】また、本発明の半導体レーザ素子の製造方法によれば、前記第2の誘電体膜を形成すると同時に前記ウェハー一面の第1の誘電体膜を形成した側にイオン化された原子を照射する構成としている。

【0204】従って、第2クラッド層側に配設された層の表面近傍にイオン照射を行い、微小な結晶欠陥を生成する工程と、第2の誘電体膜の表面クリーニングを行う工程とを同時に行うことができ、製造プロセスを簡略化することができる。

【0205】また、本発明の半導体レーザ素子の製造方法によれば、イオン化した原子はアルゴン、酸素、窒素からなる群より選ばれた1つあるいは複数の原子である構成としている。

【0206】従って、ウェハー表面付近にのみ結晶欠陥を生成でき、その欠陥が熱処理中にウェハー表面で生成したG a空孔を効率よく捕獲することができるので、活性層のバンドギャップ変動防止に好適である。また、熱処理中に欠陥が活性層に拡散することを抑制でき、信頼性悪化の防止に好適である。

【0207】また、本発明の半導体レーザ素子の製造方法によれば、イオン化した原子を照射することにより、ウェハー一面の第1の誘電体膜が形成されていない部分に、第2の誘電体膜を形成する構成としている。

【0208】従って、第2クラッド層側に配設された層

36

の表面近傍にイオン照射を行い、微小な結晶欠陥を生成する工程と、第2の誘電体膜の表面クリーニングを行う工程とを同時に行うことができ、製造プロセスを簡略化することができる。

【0209】また、本発明の半導体レーザ素子の製造方法によれば、イオン化した原子のイオンエネルギーを3000eV以下とし、より好ましくは500eV以上、1500eV以下とした構成としている。

【0210】従って、イオン化された原子が端面近傍領域の誘電体膜を貫通することを防止しながら内部領域に十分な量の欠陥を生成できるので、活性層の窓領域の量子井戸構造の無秩序化が十分でバンドギャップが所望の値にまで増大させることができ、端面劣化を抑制できるので、信頼性の高い半導体レーザ素子を製造することができる。

【0211】また、本発明の半導体レーザ素子の製造方法によれば、イオン化した原子を照射する装置はイオン加速機能を有する装置である構成としている。

【0212】従って、イオンエネルギー及びイオンの量の精密制御が可能であり、ウェハー表面の結晶欠陥生成量の制御が可能であるのでG a空孔の分布、および量も制御でき、内部領域のバンドギャップ変化量を容易に制御することができる。

【0213】また、本発明の半導体レーザ素子の製造方法によれば、イオン化した原子を照射する装置はイオンガン、イオン注入装置、イオンアシスト蒸着装置よりなる群から選ばれた装置である構成としている。

【0214】従って、これらの装置を使用すると、イオンエネルギー及びイオンの量の精密制御が可能であり、DHウェハー表面の結晶欠陥生成量の制御が可能であるのでG a空孔の分布、および量も制御でき、内部領域のバンドギャップ変化量を容易に制御することができる。さらに、イオンアシスト蒸着装置は半導体プロセスで一般的な装置であり、製造方法を簡素化できるという利点がある。

【0215】また、本発明の半導体レーザ素子の製造方法によれば、イオン化した原子を照射する装置はプラズマを発生させる機能を有する装置である構成としている。

【0216】従って、イオンエネルギーの精密制御が可能であり、DHウェハー表面の結晶欠陥生成量の制御が可能であるのでG a空孔の分布、および量も制御でき、内部領域のバンドギャップ変化量を容易に制御することができる。

【0217】また、本発明の半導体レーザ素子の製造方法によれば、イオン化した原子を照射する装置はプラズマCVD装置、スパッタ装置、プラズマアッシング装置よりなる群から選ばれた装置である構成としている。

【0218】従って、イオン照射と誘電体膜の形成を同じ装置で実施できるのでイオン照射した面を大気に晒し

(20)

37

したことにより特性が変化してしまうという心配が無い。また、誘電体膜を形成する前にエッティングを行って表面の汚染物を除去することができるという利点がある。さらに、プラズマCVD装置、スペッタ装置は半導体プロセスで一般的な装置であり、製造方法を簡素化できるという利点がある。

【0219】また、本発明の半導体レーザ素子の製造方法によれば、誘電体膜はSi原子を含む、 SiC_x 、 SiN_x 、 SiO_yN_x （但し、x、yは正の実数）よりなる群から選ばれた材料で構成された膜である。

【0220】従って、熱処理中にウェハー表面のGa原子を効率よく吸収し、多数の空孔を生成し、それが活性層に拡散して、活性層の窓領域のバンドギャップ増大させて共振器端面近傍領域の光吸収量を低減することができ、長期信頼性に優れたレーザ素子を得ることができる。

【0221】また、本発明の半導体レーザ素子の製造方法によれば、第1の誘電体膜の厚さは $1\mu m$ 以下である構成としている。

【0222】従って、熱処理時に誘電体膜とウェハー表面との膨張係数の違いにより膜はがれが生じることがなく、ウェハー表面で生成する空孔数が減少し、活性層に拡散する空孔数が減少して端面近傍の活性層のバンドギャップ増大が少なくなることがない。

【0223】また、本発明の半導体レーザ素子の製造方法によれば、前記第2の誘電体膜の厚さは $0.5\mu m$ 以下である構成としている。

【0224】従って、熱処理で生成する空孔の数は窓領域に対し十分少ないために、活性層への空孔拡散を防止できなくなることがなく、活性層の内部領域のバンドギャップ変動抑制に好適である。

【0225】また、本発明の半導体レーザ素子の製造方法によれば、第1の誘電体膜と第2の誘電体膜とは熱膨張係数がほぼ等しい材料である構成としている。

【0226】従って、共振器端面近傍と共振器内部のウェハー表面が熱膨張係数のほぼ同じ誘電体膜で覆われているので、熱処理による共振器端面と共振器内部での熱膨張係数の違いによる歪みをさらに低減でき、信頼性向上に効果がある。熱処理による共振器端面と共振器内部での熱膨張係数の違いによる歪みを低減でき、長期信頼性に優れた高出力窓構造半導体レーザ素子の製造方法を得ることができる。

【0227】また、本発明の半導体レーザ素子の製造方法によれば、第1の誘電体膜の厚さを d_1 、第2の誘電体膜の厚さを d_2 とする時、 $d_1 \geq d_2$ 、なる関係にある構成としている。

【0228】従って、共振器端面近傍の誘電体膜の膜厚が厚いことにより、熱処理で大量の空孔を生成でき、それらを活性層に拡散することができるので、活性層の窓領域のバンドギャップの増大を促進できる。同時に、共

38

振器内部の誘電体膜の膜厚が共振器端面近傍よりも薄いことにより、熱処理で生成する空孔を少なくでき、活性層の内部領域への空孔の拡散を抑制できる。このように、端面劣化抑制により信頼性向上が得られる。同時に共振器内部の活性層の内部領域のバンドギャップ変動を抑制できる。

【0229】また、本発明の半導体レーザ素子の製造方法によれば、熱処理はDHウェハーの保持温度が $800^{\circ}C$ 以上、保持温度までの温度上昇時間が100秒以下で行い、より好ましくはDHウェハーの保持温度が $930^{\circ}C$ 以上、保持温度までの温度上昇時間が60秒以下で行う構成としている。

【0230】従って、共振器端面近傍の誘電体膜にGa原子が吸収されて生成された空孔が活性層に拡散しやすくなり、活性層のバンドギャップ増大を促進できる。また、共振器内部のドーパントの拡散を防止でき、ドーパントの拡散に伴う信頼性悪化を防止でき、長期信頼性に優れた半導体レーザ素子の製造方法を提供することができる。

20 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に関する半導体レーザ素子の構造を示す断面図である。

【図2】本発明の第1の実施の形態に関する半導体レーザ素子の製造方法を説明する図である。

【図3】本発明の第2の実施の形態に関する半導体レーザ素子の構造を示す断面図である。

【図4】本発明の第2の実施の形態に関する半導体レーザ素子の製造方法を説明する図である。

【図5】本発明の第3の実施の形態に関する半導体レーザ素子の構造を示す断面図である。

【図6】本発明の第3の実施の形態に関する半導体レーザ素子の製造方法を説明する図である。

【図7】本発明の第4の実施の形態に関する半導体レーザ素子の構造を示す断面図である。

【図8】本発明の第4の実施の形態に関する半導体レーザ素子の製造方法を説明する図である。

【図9】本発明の第5の実施の形態に関する半導体レーザ素子の構造を示す断面図である。

【図10】本発明の第5の実施の形態に関する半導体レーザ素子の製造方法を説明する図である。

【図11】本発明の第5の実施の形態に関する半導体レーザ素子の窓領域のp型不純物原子濃度分布図である。

【図12】本発明の第5の実施の形態に関する半導体レーザ素子の内部領域のp型不純物原子濃度分布図である。

【図13】本発明の第1の実施の形態の半導体レーザ素子の走行時間に対する駆動電流の変化を示す図である。

【図14】本発明の第2の比較例の半導体レーザ素子の走行時間に対する駆動電流の変化を示す図である。

50 【図15】本発明の第2の実施の形態の半導体レーザ素

(21)

39

子の走行時間に対する駆動電流の変化を示す図である。

【図16】本発明の第3の比較例の半導体レーザ素子の走行時間に対する駆動電流の変化を示す図である。

【図17】従来例の半導体レーザ素子の構造を示す断面図である。

【図18】従来例の半導体レーザ素子の製造方法を説明する図である。

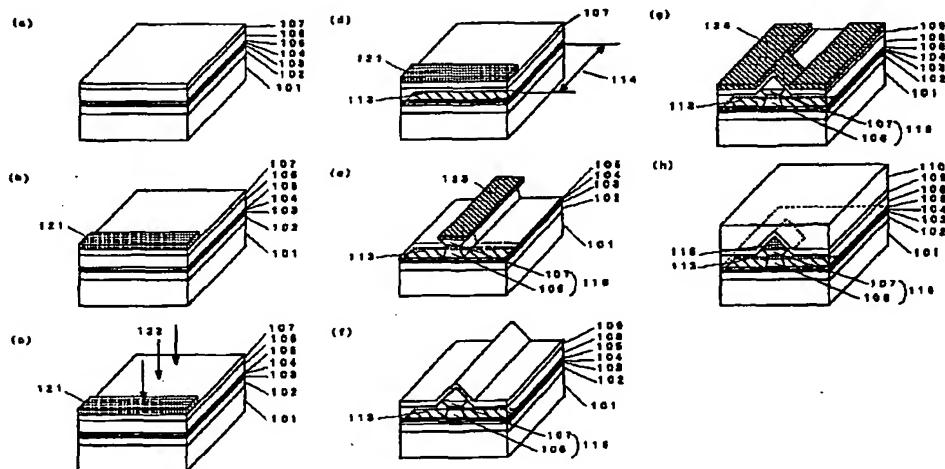
【符号の説明】

101、201、301、401、501、1001···
···n型基板
102、202、302、402、502、1002···
···n型第1クラッド層
103、203、303、403、503、1003···
···量子井戸活性層
104、204、304、404、504···p型第2クラッド層
105、205、305、405、505···p型エッチング停止層(エッチングストップ層)
106、206、306、406、506···p型第3クラッド層
107、207、307、407、507···p型保護層
108、208、308、408、508···n型電流阻止層
109、209、309、409、509···p型平坦化層
110、210、310、410、510、1005···

40

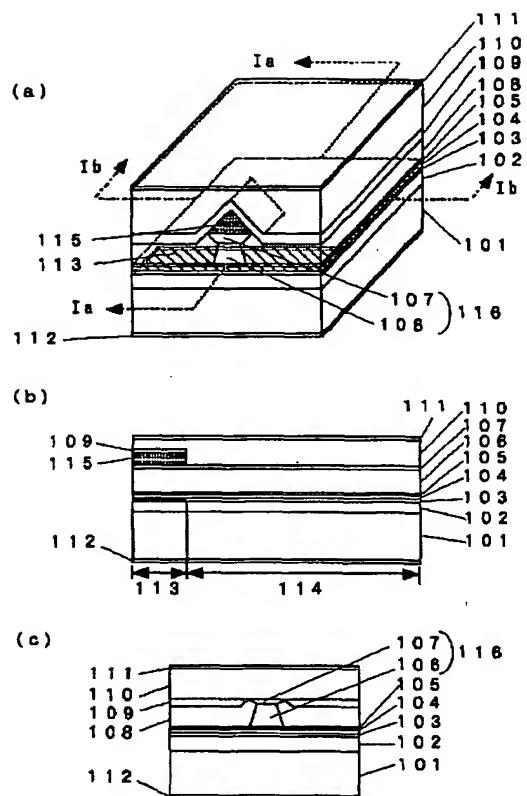
···p型コンタクト層
111、211、311、411、511、1009···
···p側電極
112、212、312、412、512、1008···
···n側電極
113、213、313、413、513、1003b···
···窓領域
114、214、314、414、514、1003a···
···内部領域(活性領域)
10 115、215、315、415、515···電流注入防止層
116、216、316、416、516···リッジストライプ
1006···空孔拡散領域
1007···プロトン注入領域
1020···共振器端面
121、221、321、421、521、1010···
···共振器端面近傍に形成される誘電体膜
1010a···ストライプ状開口部
20 122、222、322、422、522···イオン照射
223、323、423、523···共振器内部に形成される誘電体膜
123、224、324、424、524···リッジストライプ形成用レジストマスク
124、225、325、425、525、1011···
···電流注入防止層形成用レジストマスク

【図2】

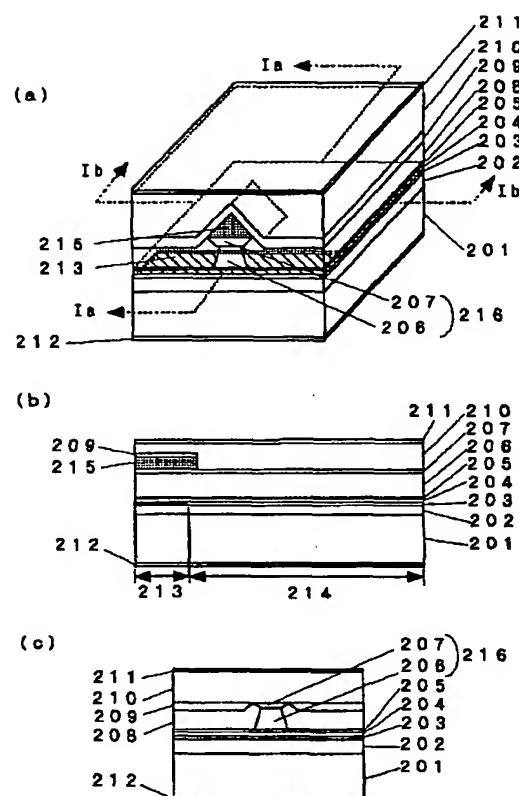


(22)

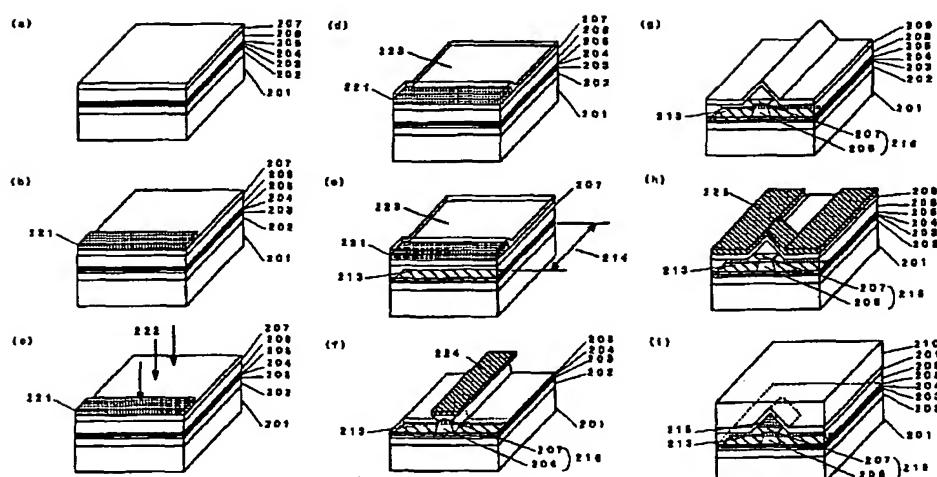
【図1】



【図3】

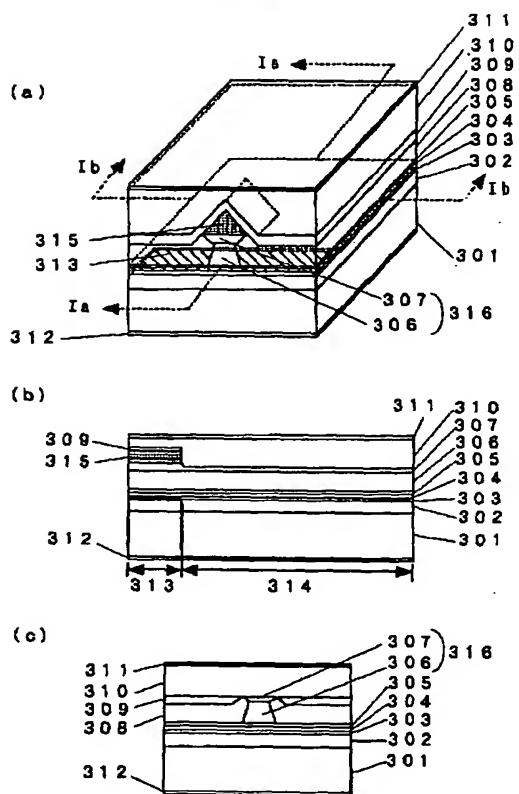


【図4】

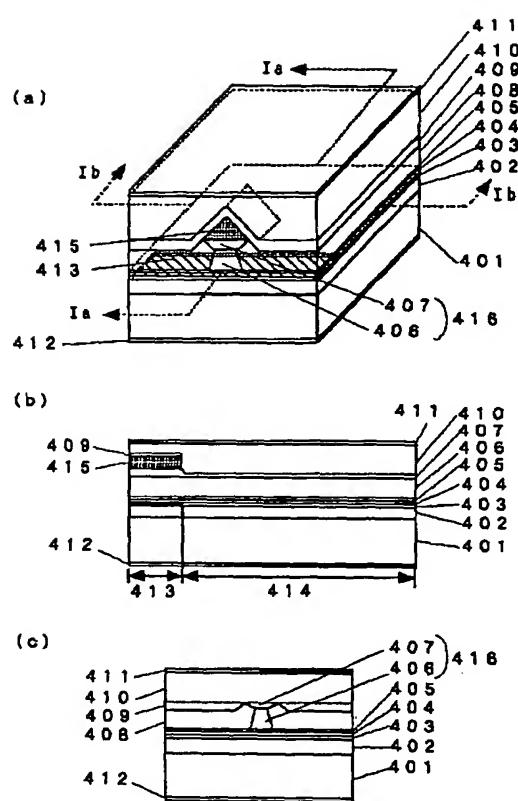


(23)

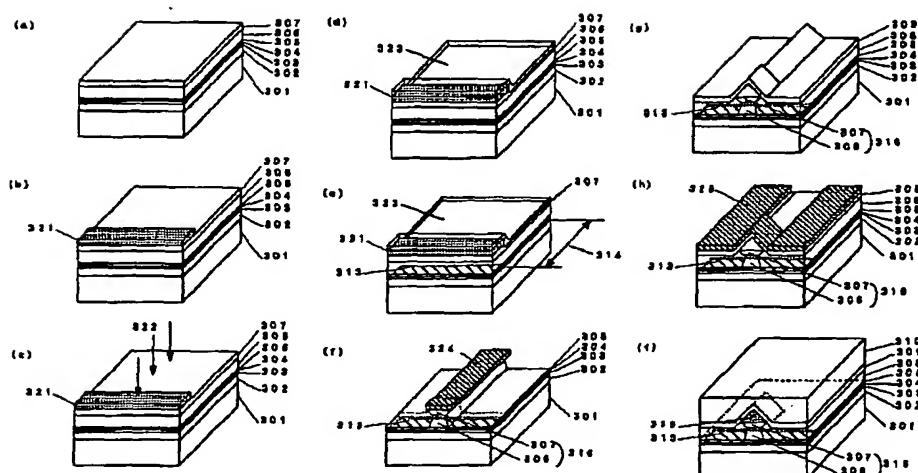
【図5】



【図7】

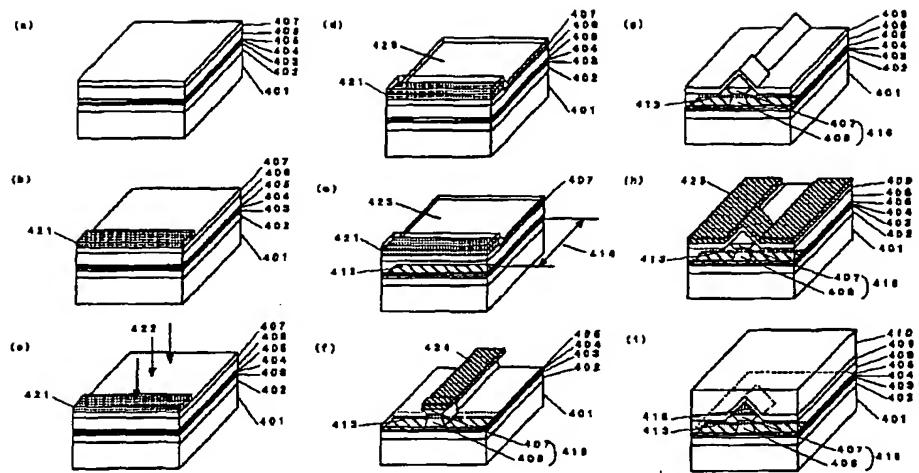


【図6】

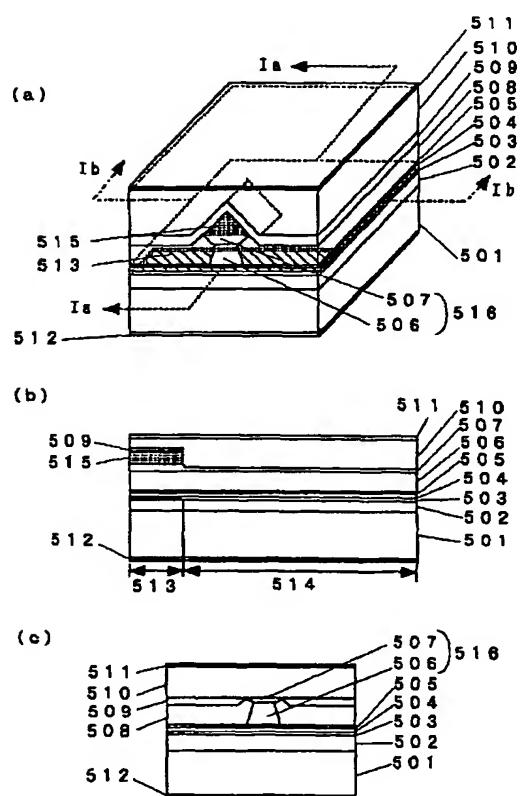


(24)

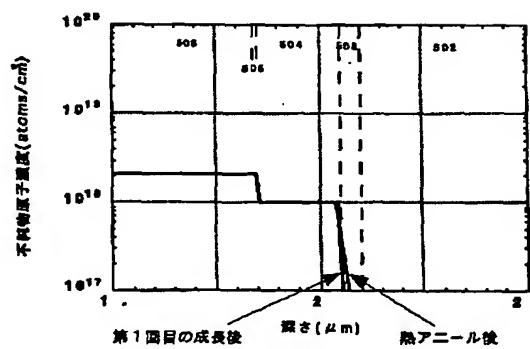
【図8】



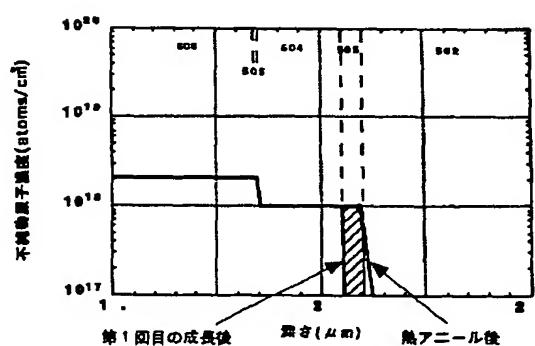
【図9】



【図11】

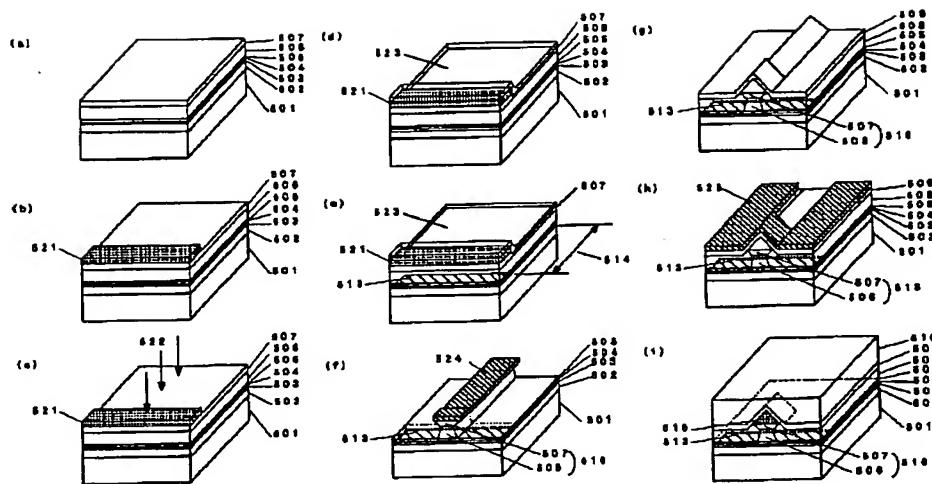


【図12】

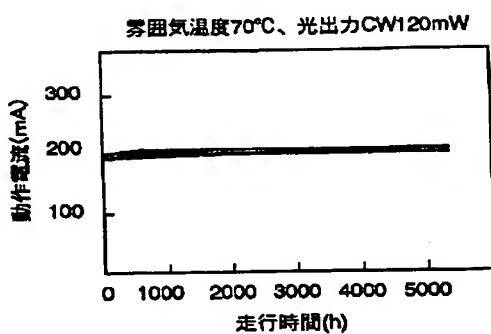


(25)

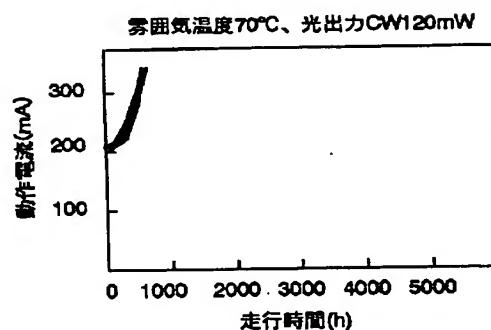
【図10】



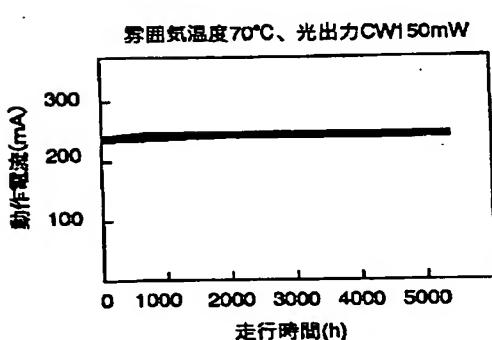
【図13】



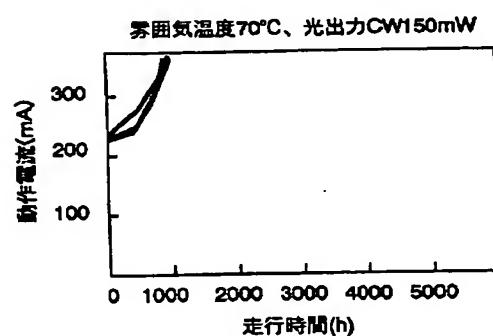
【図14】



【図15】

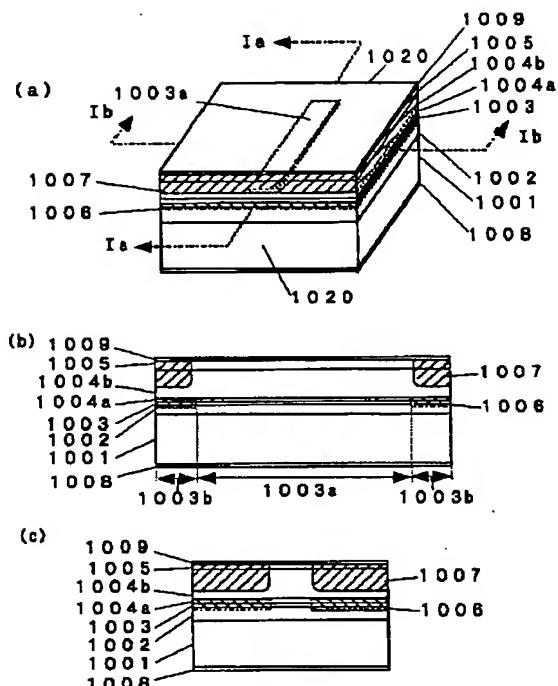


【図16】

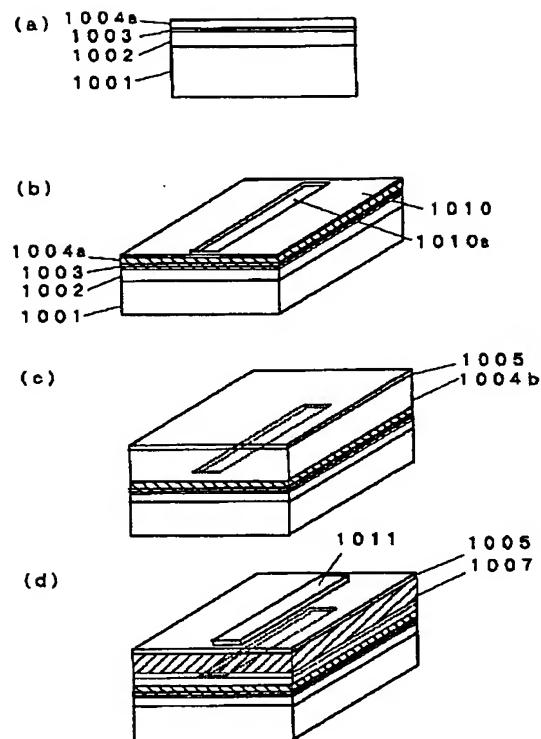


(26)

【図17】



【図18】



フロントページの続き

(72) 発明者 川戸 伸一
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内

F ターム(参考) 5F073 AA09 AA13 AA45 AA51 AA53
 AA74 AA83 AA87 CA05 DA16
 DA35